

#2  
4-1-99

Docket No. 501.36642X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Takahiro FUJIOKA, et al.

Serial No.:

Filed: October 30, 1998

Title: LIQUID CRYSTAL DISPLAY DEVICE

Group:

JC525 U.S. PRO  
09/182435  
10/30/98

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

October 30, 1998

Sir:

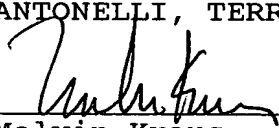
Under the provisions of 35 U.S.C. 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 09-298227  
Filed: October 30, 1997

A Certified Copy of said Japanese Patent Application is  
attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS

  
\_\_\_\_\_  
Marvin Kraus  
Registration No. 22,466

MK/ssr  
Attachments

3397006/6481

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JCS25 U.S. PTO  
09/182435  
10/30/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1997年10月30日

出 願 番 号

Application Number:

平成 9年特許願第298227号

出 願 人

Applicant (s):

株式会社日立製作所

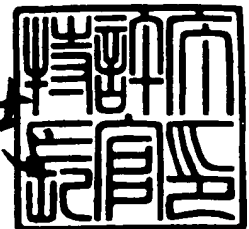
日立デバイスエンジニアリング株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1998年 9月18日

特許庁長官  
Commissioner,  
Patent Office

伴佐山建志



【書類名】 特許願

【整理番号】 339700616

【提出日】 平成 9年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明の名称】 半導体集積回路装置および液晶表示装置

【請求項の数】 15

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所  
電子デバイス事業部内

【氏名】 藤岡 恭弘

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所  
電子デバイス事業部内

【氏名】 黒川 一成

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所  
電子デバイス事業部内

【氏名】 片柳 浩

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所  
電子デバイス事業部内

【氏名】 後藤 充

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 尾手 幸秀

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニア

アリング株式会社内

【氏名】 小倉 明

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 縣 健太郎

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003109

【包括委任状番号】 9107008

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置および液晶表示装置

【特許請求の範囲】

【請求項1】 第1の入力端子と共通出力端子との間に接続される第1のスイッチング素子と、第2の入力端子と共通出力端子との間に接続される第2のスイッチング素子とを有し、前記第1のスイッチング素子、あるいは第2のスイッチング素子を選択的にオンあるいはオフすることにより、第1の入力端子または第2の入力端子に入力された信号を共通出力端子に選択して出力するスイッチ回路を備える半導体集積回路装置において、

前記スイッチ回路の各スイッチング素子は、ゲート電極に制御電圧が印加される入力端子側トランジスタと、ゲート電極に一定のバイアス電圧が印加される出力端子側トランジスタとが直列に接続されたトランジスタ対で構成されることを特徴とする半導体集積回路装置。

【請求項2】 前記第1のスイッチング素子は、第1導電型の第1のトランジスタと第2のトランジスタとで構成され、前記第2のスイッチング素子は、第1導電型とは異なる第2の導電型の第3のトランジスタと第4のトランジスタとで構成され、

また、前記第2のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第4のトランジスタのゲート電極に第2のバイアス電圧が印加され、

さらに、前記第1のトランジスタのゲート電極および第3のトランジスタのゲート電極に、前記第1のトランジスタあるいは第3のトランジスタを選択的にオンあるいはオフする制御電圧が印加されることを特徴とする請求項1に記載された半導体集積回路装置。

【請求項3】 前記第1のトランジスタおよび第2のトランジスタが設けられるウェル層は、第3のバイアス電圧が印加され、また、前記第3のトランジスタおよび第4のトランジスタが設けられるウェル層は、第4のバイアス電圧が印加されることを特徴とする請求項2に記載された半導体集積回路装置。

【請求項4】 前記第1のトランジスタには、第5のバイアス電圧が印加される分離したウェル層に設けられる第2導電型の第5のトランジスタが並列に接

続され、前記第3のトランジスタには、第6のバイアス電圧が印加される分離したウェル層に設けられる第1導電型の第6のトランジスタが並列に接続され、

また、前記第5のトランジスタのゲート電極に、前記第1のトランジスタに同期して前記第5のトランジスタがオン、オフされる制御電圧が印加され、前記第6のトランジスタのゲート電極に、前記第3のトランジスタに同期して前記第6のトランジスタがオン、オフされる制御電圧が印加されることを特徴とする請求項3に記載された半導体集積回路装置。

【請求項5】 前記第1のトランジスタがオフの場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第1のトランジスタがオンで、前記第1の入力端子に印加される入力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  (但し、 $V_{1max}$ は第1の入力端子に印加される最大入力電圧、 $V_{1min}$ は第1の入力端子に印加される最小入力電圧、 $V_{1g}$ は第1のバイアス電圧) を満足する場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧より低電圧あるいは高電圧の第7のバイアス電圧が印加され、前記第1のトランジスタがオンで、前記第1の入力端子に印加される入力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| > |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧が印加され、

前記第3のトランジスタがオフの場合に、前記第4のトランジスタのゲート電極に第2のバイアス電圧が印加され、前記第3のトランジスタがオンで、前記第2の入力端子に印加される入力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$  (但し、 $V_{2max}$ は第2の入力端子に印加される最大入力電圧、 $V_{2min}$ は第2の入力端子に印加される最小入力電圧、 $V_{2g}$ は第2のバイアス電圧) を満足する場合に、前記第4のトランジスタのゲート電極に第2のバイアス電圧より低電圧あるいは高電圧の第8のバイアス電圧が印加され、前記第3のトランジスタがオンで、前記第2の入力端子に印加される入力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| > |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第4のトランジスタのゲート電極に第2のバイアス電圧が印加されることを特徴とする請求項4に記載された半導体集積回路装置。

【請求項6】 第1の入力端子と第1の出力端子との間に接続される第1のスイッチング素子と、第1の入力端子と第2の出力端子との間に接続される第3のスイッチング素子と、第2の入力端子と第2の出力端子との間に接続される第2のスイッチング素子と、第2の入力端子と第1の出力端子との間に接続される第4のスイッチング素子とを有し、前記第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子および第4のスイッチング素子を選択的にオンあるいはオフすることにより、第1の入力端子に入力された信号を第1の出力端子あるいは第2の出力端子に、第2の入力端子に入力された信号を第2の出力端子あるいは第1の出力端子に選択して出力するスイッチ回路を備える半導体集積回路装置において、

前記スイッチ回路の各スイッチング素子は、ゲート電極に制御電圧が印加される入力端子側トランジスタと、ゲート電極に一定のバイアス電圧が印加される出力端子側トランジスタとが直列に接続されたトランジスタ対で構成されることを特徴とする半導体集積回路装置。

【請求項7】 前記第1のスイッチング素子は、第1導電型の第1のトランジスタと第2のトランジスタとで構成され、前記第3のスイッチング素子は、第1導電型の第5のトランジスタと第6のトランジスタとで構成され、前記第2のスイッチング素子は、第1導電型とは異なる第2の導電型の第3のトランジスタと第4のトランジスタとで構成され、前記第4のスイッチング素子は、第2導電型の第7のトランジスタと第8のトランジスタとで構成され、

また、前記第2のトランジスタのゲート電極および第6のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第4のトランジスタのゲート電極および第8のトランジスタのゲート電極に第2のバイアス電圧が印加され、

さらに、前記第1のトランジスタのゲート電極および第5のトランジスタのゲート電極に、前記第1のトランジスタおよび第5のトランジスタを選択的にオンあるいはオフする制御電圧が印加され、前記第3のトランジスタのゲート電極および第7のトランジスタのゲート電極に、前記第3のトランジスタおよび第7のトランジスタを選択的にオンあるいはオフする制御電圧が印加されることを特徴とする請求項6に記載された半導体集積回路装置。

【請求項8】 前記第1のトランジスタおよび第2のトランジスタ、並びに、前記第5のトランジスタおよび第6のトランジスタが設けられるウェル層は、第3のバイアス電圧が印加され、また、前記第3のトランジスタおよび第4のトランジスタ、並びに、前記第7のトランジスタおよび第8のトランジスタが設けられるウェル層は、第4のバイアス電圧が印加されることを特徴とする請求項7に記載された半導体集積回路装置。

【請求項9】 前記第1のトランジスタには、第5のバイアス電圧が印加される分離したウェル層に設けられる第2導電型の第9のトランジスタが並列に接続され、前記第5のトランジスタには、第5のバイアス電圧が印加される分離したウェル層に設けられる第2導電型の第11のトランジスタが並列に接続され、前記第3のトランジスタには、第6のバイアス電圧が印加される分離したウェル層に設けられる第1導電型の第10のトランジスタが並列に接続され、前記第7のトランジスタには、第6のバイアス電圧が印加される分離したウェル層に設けられる第1導電型の第12のトランジスタが並列に接続され、

また、前記第9のトランジスタのゲート電極に、前記第1のトランジスタに同期して前記第9のトランジスタがオン、オフされる制御電圧が印加され、前記第10のトランジスタのゲート電極に、前記第3のトランジスタに同期して前記第10のトランジスタがオン、オフされる制御電圧が印加され、前記第11のトランジスタのゲート電極に、前記第5のトランジスタに同期して前記第11のトランジスタがオン、オフされる制御電圧が印加され、前記第12のトランジスタのゲート電極に、前記第7のトランジスタに同期して前記第12のトランジスタがオン、オフされる制御電圧が印加することを特徴とする請求項8に記載された半導体集積回路装置。

【請求項10】 前記第1のトランジスタがオフの場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第1のトランジスタがオンで、前記第1の入力端子に印加される入力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  (但し、 $V_{1max}$ は第1の入力端子に印加される最大入力電圧、 $V_{1min}$ は第1の入力端子に印加される最小入力電圧、 $V_{1g}$ は第1のバイアス電圧) を満足する場合に、前記第2のト



ランジスタのゲート電極に第1のバイアス電圧より低電圧あるいは高電圧の第7のバイアス電圧が印加され、前記第1のランジスタがオンで、前記第1の入力端子に印加される入力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| > |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第2のランジスタのゲート電極に第1のバイアス電圧が印加され、

前記第5のランジスタがオフの場合に、前記第6のランジスタのゲート電極に第1のバイアス電圧が印加され、前記第5のランジスタがオンで、前記第1の入力端子に印加される入力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第6のランジスタのゲート電極に、前記第1のバイアス電圧より低電圧あるいは高電圧の第7のバイアス電圧が印加され、前記第5のランジスタがオンで、前記第1の入力端子に印加される入力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| > |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第6のランジスタのゲート電極に第1のバイアス電圧が印加され、

前記第3のランジスタがオフの場合に、前記第4のランジスタのゲート電極に第2のバイアス電圧が印加され、前記第3のランジスタがオンで、前記第2の入力端子に印加される入力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$  (但し、 $V_{2max}$ は第2の入力端子に印加される最大入力電圧、 $V_{2min}$ は第2の入力端子に印加される最小入力電圧、 $V_{2g}$ は第2のバイアス電圧) を満足する場合に、前記第4のランジスタのゲート電極に第2のバイアス電圧より低電圧あるいは高電圧の第8のバイアス電圧が印加され、前記第3のランジスタがオンで、前記第2の入力端子に印加される入力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| > |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第4のランジスタのゲート電極に第2のバイアス電圧が印加され、

前記第7のランジスタがオフの場合に、前記第8のランジスタのゲート電極に第2のバイアス電圧が印加され、前記第7のランジスタがオンで、前記第2の入力端子に印加される入力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第8のランジスタのゲート電極に第2のバイアス電圧が印加され、

ート電極に第2のバイアス電圧より低電圧あるいは高電圧の第8のバイアス電圧が印加され、前記第7のトランジスタがオンで、前記第2の入力端子に印加される入力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| > |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第8のトランジスタのゲート電極に第2のバイアス電圧が印加されることを特徴とする請求項9に記載された半導体集積回路装置。

【請求項11】 複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示パネルと、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置で、

前記映像信号線駆動手段は、一対が正極性の映像信号電圧を出力する第1の出力手段と負極性の映像信号電圧を出力する第2の出力手段とで構成される複数の出力手段対と、前記各出力手段対における第1の出力手段からの正極性の映像信号電圧および第2の出力手段からの負極性の映像信号電圧を、複数の映像信号線の中の一対の映像信号線に切り替えて出力するスイッチ部とを有する液晶表示装置であって、

前記スイッチ部は、第1の出力手段と一対の映像信号線の一方の映像信号線との間に接続される第1のスイッチング素子と、第1の出力手段と一対の映像信号線の他方の映像信号線との間に接続される第3のスイッチング素子と、第2の出力手段と他方の映像信号線との間に接続される第2のスイッチング素子と、第2の出力手段と一方の映像信号線との間に接続される第4のスイッチング素子とを有し、前記第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子および第4のスイッチング素子を選択的にオンあるいはオフすることにより、第1の出力手段からの正極性の映像信号電圧を一方の映像信号線あるいは他方の映像信号線に、第2の出力手段からの負極性の映像信号電圧を他方の映像信号線あるいは一方の映像信号線に選択して出力する液晶表示装置において、

前記スイッチ部の各スイッチング素子は、ゲート電極に制御電圧が印加される出力手段側トランジスタと、ゲート電極に一定のバイアス電圧が印加される映像信号線側トランジスタとが直列に接続されたトランジスタ対で構成されることを

特徴とする液晶表示装置。

【請求項12】 前記第1のスイッチング素子は、第1導電型の第1のトランジスタと第2のトランジスタとで構成され、前記第3のスイッチング素子は、第1導電型の第5のトランジスタと第6のトランジスタとで構成され、前記第2のスイッチング素子は、第1導電型とは異なる第2の導電型の第3のトランジスタと第4のトランジスタとで構成され、前記第4のスイッチング素子は、第2導電型の第7のトランジスタと第8のトランジスタとで構成され、

また、前記第2のトランジスタのゲート電極および第6のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第4のトランジスタのゲート電極および第8のトランジスタのゲート電極に第2のバイアス電圧が印加され、

さらに、前記第1のトランジスタのゲート電極および第5のトランジスタのゲート電極に、前記第1のトランジスタおよび第5のトランジスタを選択的にオンあるいはオフする制御電圧が印加され、前記第3のトランジスタのゲート電極および第7のトランジスタのゲート電極に、前記第3のトランジスタおよび第7のトランジスタを選択的にオンあるいはオフする制御電圧が印加されることを特徴とする請求項11に記載された液晶表示装置。

【請求項13】 前記第1のトランジスタおよび第2のトランジスタ、並びに、前記第5のトランジスタおよび第6のトランジスタが設けられるウェル層は、第3のバイアス電圧が印加され、また、前記第3のトランジスタおよび第4のトランジスタ、並びに、前記第7のトランジスタおよび第8のトランジスタが設けられるウェル層は、第4のバイアス電圧が印加されることを特徴とする請求項12に記載された液晶表示装置。

【請求項14】 前記第1のトランジスタには、第5のバイアス電圧が印加される分離したウェル層に設けられる第2導電型の第9のトランジスタが並列に接続され、前記第5のトランジスタには、第5のバイアス電圧が印加される分離したウェル層に設けられる第2導電型の第11のトランジスタが並列に接続され、前記第3のトランジスタには、第6のバイアス電圧が印加される分離したウェル層に設けられる第1導電型の第10のトランジスタが並列に接続され、前記第7のトランジスタには、第6のバイアス電圧が印加される分離したウェル層に設

けられる第1導電型の第12のトランジスタが並列に接続され、

また、前記第9のトランジスタのゲート電極に、前記第1のトランジスタに同期して前記第9のトランジスタがオン、オフされる制御電圧が印加され、前記第10のトランジスタのゲート電極に、前記第3のトランジスタに同期して前記第10のトランジスタがオン、オフされる制御電圧が印加され、前記第11のトランジスタのゲート電極に、前記第5のトランジスタに同期して前記第11のトランジスタがオン、オフされる制御電圧が印加され、前記第12のトランジスタのゲート電極に、前記第7のトランジスタに同期して前記第12のトランジスタがオン、オフされる制御電圧が印加されることを特徴とする請求項13に記載された液晶表示装置。

【請求項15】 前記第1のトランジスタがオフの場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第1のトランジスタがオンで、前記第1の出力手段から出力される出力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  (但し、 $V_{1max}$ は第1の出力手段から出力される最大出力電圧、 $V_{1min}$ は第1の出力手段から出力される最小出力電圧、 $V_{1g}$ は第1のバイアス電圧) を満足する場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧より低電圧あるいは高電圧の第7のバイアス電圧が印加され、前記第1のトランジスタがオンで、前記第1の出力手段から出力される出力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| > |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第2のトランジスタのゲート電極に第1のバイアス電圧が印加され、

前記第5のトランジスタがオフの場合に、前記第6のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第5のトランジスタがオンで、前記第1の出力手段から出力される出力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第6のトランジスタのゲート電極に第1のバイアス電圧より低電圧あるいは高電圧の第7のバイアス電圧が印加され、前記第5のトランジスタがオンで、前記第1の出力手段から出力される出力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| > |V_{1max} - V_{1min}| / 2$  を満足する場合に、前記第6のトランジスタのゲート電極に第1のバ

イアス電圧が印加され、

前記第3のトランジスタがオフの場合に、前記第4のトランジスタのゲート電極に第2のバイアス電圧が印加され、前記第3のトランジスタがオンで、前記第2の出力手段から出力される出力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$  (但し、但し、 $V_{2max}$ は第2の出力手段から出力される最大出力電圧、 $V_{2min}$ は第2の出力手段から出力される最小出力電圧、 $V_{2g}$ は第2のバイアス電圧) を満足する場合に、前記第4のトランジスタのゲート電極に第2のバイアス電圧より低電圧あるいは高電圧の第8のバイアス電圧が印加され、前記第3のトランジスタがオンで、前記第2の出力手段から出力される出力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| > |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第4のトランジスタのゲート電極に第2のバイアス電圧が印加され、

前記第7のトランジスタがオフの場合に、前記第8のトランジスタのゲート電極に第2のバイアス電圧が印加され、前記第7のトランジスタがオンで、前記第2の出力手段から出力される出力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第8のトランジスタのゲート電極に第2のバイアス電圧より低電圧あるいは高電圧の第8のバイアス電圧が印加され、前記第7のトランジスタがオンで、前記第2の出力手段から出力される出力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| > |V_{2max} - V_{2min}| / 2$  を満足する場合に、前記第8のトランジスタのゲート電極に第2のバイアス電圧が印加されることを特徴とする請求項14に記載された液晶表示装置。

# 【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、半導体集積回路装置および液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動回路（ドレインドライバ）に適用して有効な技術に関する。

【0002】

【従来の技術】

画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。

このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（表示データに対応する階調電圧；以下、階調電圧と称する。）を印加するため、各画素間のクロストークがなく、単純マトリックス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。

【0003】

このアクティブマトリクス型液晶表示装置の1つに、TFT（Thin Film Transister）方式の液晶表示パネル（TFT-LCD）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインタフェース部とを備えるTFT方式の液晶表示モジュールが知られている。

【0004】

一般に、液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、このTFT方式の液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極に印加する電圧を基準にして、画素電極に印加する電圧を、一定時間毎に正電圧側／負電圧側に变化させるようにしている。

【0005】

この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。コモン反転法とは、コモン電極に印加される電圧と画素電極に印加する電圧とを、交互に正、負に反転させる方法である。また、コモン対称法とは、コモン電極に印加される電圧を一定とし、画素電極に印

加する電圧を、コモン電極に印加される電圧を基準にして、交互に正、負に反転させる方法である。

このコモン対称法によれば、低消費電力と表示品質の点で優れているドット反転法あるいはVライン反転法が使用可能である。

なお、このような技術は、例えば、特願平8-86668号に記載されている。

#### 【0006】

##### 【発明が解決しようとする課題】

前記したドット反転法では、図30に示すように、奇数番目のドレイン信号線(D)に出力される階調電圧(VDH)と、偶数番目のドレイン信号線(D)に出力される階調電圧(VDL)とは、コモン電極に印加される駆動電圧(VCOM)に対して逆極性、即ち、奇数番目のドレイン信号線(D)に出力される階調電圧(VDH)が正極性(または負極性)であれば、偶数番目のドレイン信号線(D)に出力される階調電圧(VDL)は負極性(または正極性)である。そして、その極性は1ライン毎に反転され、さらに、各ライン毎の極性が、フレーム毎に反転される。

ここで、図30は、ドレイン信号線(D)に出力される階調電圧、即ち、画素電極に印加される階調電圧と、コモン電極に印加される駆動電圧(VCOM)との関係を示す図であり、なお、図4では、ドレイン信号線(D)に出力される階調電圧は、液晶表示パネルの表示面に黒を表示する場合の階調電圧を示している。

このように、ドット反転法では、1ドレイン信号線(D)毎に正極性および負極性の階調電圧を生成する回路が必要となり、ドレインドライバのチップサイズが大きくなるという欠点があった。

#### 【0007】

前記欠点を解決するために、前記公報(特願平8-86668号)に記載されたTFT方式の液晶表示モジュールにおいては、奇数番目のドレイン信号線(D)に出力される階調電圧(VDH)と、偶数番目のドレイン信号線(D)に出力される階調電圧(VDL)とは、ドット反転法では必ず逆極性になることを利用

し、正極性および負極性の階調電圧を生成する回路を、2つのドレイン信号線（D）で共用し、スイッチ部で切り替えて使用するようにして、ドレインドライバのチップサイズの縮小を図っている。

【0008】

しかしながら、この公報（特願平8-86668号）に記載されたTFT方式の液晶表示モジュールにおいて、例えば、液晶層の液晶材の変更等により、ドレイン信号線（D）に印加される階調電圧（VDH，VDL）を、従来のTFT方式の液晶表示モジュールに比して大きくする必要がある場合に、前記スイッチ部のスイッチングトランジスタとして、ソース・ドレイン間耐圧がより高耐圧のトランジスタが必要となり、それにより、ドレインドライバのチップサイズが大きくなるという問題点があった。

【0009】

一方、TFT方式の液晶表示モジュール等の液晶表示装置においては、表示画面がますます大型化され、表示画面サイズが大きくなる傾向にあり、その上、無駄なスペースをなくし、表示装置としての美観を惹起せしめるために、液晶表示装置の表示領域以外の領域、即ち、額縁部分を少しでも小さくする（狭額縁化）ことが要望されている。

【0010】

しかしながら、前記スイッチ部のスイッチングトランジスタとして、ソース・ドレイン間耐圧がより高耐圧のトランジスタを使用することにより、前記ドレインドライバを構成する半導体集積回路（ICチップ）のチップサイズが大きくなると、この狭額縁化に対応できないという問題点があった。

【0011】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、半導体集積回路装置において、入出力端子間に低耐圧トランジスタのソース・ドレイン間耐圧以上の電圧が印加されるスイッチ回路のスイッチング素子として、当該低耐圧トランジスタを使用することが可能となる技術を提供することにある。



## 【0012】

本発明の他の目的は、液晶表示装置において、低耐圧トランジスタのソース・ドレイン間耐圧以上の電圧が印加されるスイッチ部のスイッチング素子として、低耐圧トランジスタを使用し、映像信号線駆動手段のチップサイズを大きくすることなく、正極性の映像信号電圧および負極性の映像信号電圧を一对の映像信号線に出力することが可能となる技術を提供することにある。

## 【0013】

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 【0014】

## 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

## 【0015】

第1の入力端子と共通出力端子との間に接続される第1のスイッチング素子と、第2の入力端子と共通出力端子との間に接続される第2のスイッチング素子とを有し、前記第1のスイッチング素子、あるいは第2のスイッチング素子を選択的にオンあるいはオフすることにより、第1の入力端子または第2の入力端子に入力された信号を共通出力端子に選択して出力するスイッチ回路、あるいは、第1の入力端子と第1の出力端子との間に接続される第1のスイッチング素子と、第1の入力端子と第2の出力端子との間に接続される第3のスイッチング素子と、第2の入力端子と第2の出力端子との間に接続される第2のスイッチング素子と、第2の入力端子と第1の出力端子との間に接続される第4のスイッチング素子とを有し、前記第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子および第4のスイッチング素子を選択的にオンあるいはオフすることにより、第1の入力端子に入力された信号を第1の出力端子あるいは第2の出力端子に、第2の入力端子に入力された信号を第2の出力端子あるいは第1の出力端子に選択して出力するスイッチ回路を備える半導体集積回路装置において、前記スイッチ回路の各スイッチング素子は、ゲート電極に制御電圧が印加され

る入力端子側トランジスタと、ゲート電極に一定のバイアス電圧が印加される出力端子側トランジスタとが直列に接続されたトランジスタ対で構成されることを特徴とする。

## 【0016】

液晶表示パネルと、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置で、前記映像信号線駆動手段は、一対が正極性の映像信号電圧を出力する第1の出力手段と負極性の映像信号電圧を出力する第2の出力手段とで構成される複数の出力手段対と、前記各出力手段対における第1の出力手段からの正極性の映像信号電圧および第2の出力手段からの負極性の映像信号電圧を、複数の映像信号線の中の一対の映像信号線に切り替えて出力するスイッチ部とを有する液晶表示装置であって、前記スイッチ部は、第1の出力手段と一対の映像信号線の一方の映像信号線との間に接続される第1のスイッチング素子と、第1の出力手段と一対の映像信号線の他方の映像信号線との間に接続される第3のスイッチング素子と、第2の出力手段と他方の映像信号線との間に接続される第2のスイッチング素子と、第2の出力手段と一方の映像信号線との間に接続される第4のスイッチング素子とを有し、前記第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子および第4のスイッチング素子を選択的にオンあるいはオフすることにより、第1の出力手段からの正極性の映像信号電圧を一方の映像信号線あるいは他方の映像信号線に、第2の出力手段からの負極性の映像信号電圧を他方の映像信号線あるいは一方の映像信号線に選択して出力する液晶表示装置において、前記スイッチ部の各スイッチング素子は、ゲート電極に制御電圧が印加される出力手段側トランジスタと、ゲート電極に一定のバイアス電圧が印加される映像信号線側トランジスタとが直列に接続されたトランジスタ対で構成されることを特徴とする。

## 【0017】

また、前記第1のスイッチング素子は、第1導電型の第1のトランジスタと第2のトランジスタとで構成され、前記第3のスイッチング素子は、第1導電型の第5のトランジスタと第6のトランジスタとで構成され、前記第2のスイッチング素子は、第1導電型とは異なる第2の導電型の第3のトランジスタと第4のト

ランジスタとで構成され、前記第4のスイッチング素子は、第2導電型の第7のトランジスタと第8のトランジスタとで構成され、また、前記第2のトランジスタのゲート電極および第6のトランジスタのゲート電極に第1のバイアス電圧が印加され、前記第4のトランジスタのゲート電極および第8のトランジスタのゲート電極に第2のバイアス電圧が印加され、さらに、前記第1のトランジスタのゲート電極および第5のトランジスタのゲート電極に、前記第1のトランジスタおよび第5のトランジスタを選択的にオンあるいはオフする制御電圧が印加され、前記第3のトランジスタのゲート電極および第7のトランジスタのゲート電極に、前記第3のトランジスタおよび第7のトランジスタを選択的にオンあるいはオフする制御電圧が印加される。

【0018】

## 【発明の実施の形態】

以下、本発明実施の形態を図面を参照して説明する。

【0019】

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0020】

## 【実施の形態1】

図1は、本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

本実施の形態の液晶表示モジュール(LCM)は、液晶表示パネル(TFT-LCD)10の上側にドレインドライバ130が配置され、また、液晶表示パネル10の側面に、ゲートドライバ140、インタフェース部100が配置される。

インタフェース部100はインタフェース基板に実装され、また、ドレインドライバ130、ゲートドライバ140も、それぞれ専用のプリント基板に実装される。

【0021】

図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図である。

この図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する2本の信号線（ドレイン信号線（D）またはゲート信号線（G））と、隣接する2本の信号線（ゲート信号線（G）またはドレイン信号線（D））との交差領域内に配置される。

#### 【0022】

各画素は薄膜トランジスタ（TFT1, TFT2）を有し、各画素の薄膜トランジスタ（TFT1, TFT2）のソース電極は、画素電極（ITO1）に接続される。また、画素電極（ITO1）とコモン電極（ITO2）との間に液晶層（LC）が設けられるので、画素電極（ITO1）とコモン電極（ITO2）との間には、液晶容量が等価的に接続される。

さらに、薄膜トランジスタ（TFT1, TFT2）のソース電極と前段のゲート信号線（G）との間には、付加容量（CADD）が接続される。

#### 【0023】

図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

図2に示す例では、全段のゲート信号線（G）とソース電極との間に付加容量（CADD）が形成されているが、図3に示す例の等価回路では、共通信号線（COM）とソース電極との間に保持容量（CSTG）が形成されている点が異なっている。

#### 【0024】

本発明は、どちらにも適用可能であるが、前者の方式では、全段のゲート信号線（G）パルスが付加容量（CADD）を介して画素電極（ITO1）に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

なお、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

#### 【0025】

図4は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

なお、図4は、横電界方式の液晶表示パネルの等価回路を示している。

図2または図3に示す縦電界方式の液晶表示パネルでは、カラーフィルタ基板にコモン電極(I T O 2)が設けられるのに対して、横電界方式の液晶表示パネルでは、T F T基板に対向電極(C T)、および対向電極(C T)に駆動電圧(V C O M)を印加するための対向電極信号線(C L)が設けられる。

そのため、液晶容量( $C_{pix}$ )は、画素電極(P X)と対向電極(C T)と間に等価的に接続される。また、画素電極(P X)と対向電極(C T)の間には蓄積容量( $C_{stg}$ )も形成される。

なお、図2、図3および図4において、A Rは表示領域である。

#### 【0026】

図2ないし図4に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(T F T)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

#### 【0027】

また、行方向に配置された各画素における薄膜トランジスタ(T F T)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、行方向の各画素の薄膜トランジスタ(T F T)のゲート電極に走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。

#### 【0028】

図1に示すインタフェース部100は、表示制御装置110と電源回路120とから構成される。

表示制御装置110は、1個の半導体集積回路(L S I)から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

【0029】

表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

その際、表示制御装置110は、ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(D2)を信号線131を介して出力する。

本体コンピュータ側からの表示データは8ビットで、1画素単位、即ち、赤(R)、緑(G)、青(B)の各データを1つの組にして単位時間毎に転送される。

【0030】

表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、ドレインドライバ130のラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック(D1)を信号線132を介してドレインドライバ130に出力する。

【0031】

また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号を出力する。

【0032】

さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック(G1)を出力する。

これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT)が、1水平走査時間の間導通する。

以上の動作により、液晶表示パネル10に画像が表示される。

## 【0033】

図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極（対向電極）電圧生成回路123、ゲート電極電圧生成回路124から構成される。

正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正極性の5値の階調基準電圧（ $V''_0 \sim V''_4$ ）を、負電圧生成回路122は負極性の5値の階調基準電圧（ $V''_5 \sim V''_9$ ）を出力する。

この正極性の階調基準電圧（ $V''_0 \sim V''_4$ ）、および負極性の階調基準電圧（ $V''_5 \sim V''_9$ ）は、各ドレインドライバ130に供給される。

また、各ドレインドライバ130には、表示制御装置110からの交流化信号（交流化タイミング信号；M）も、信号線135を介して供給される。

## 【0034】

コモン電極電圧生成回路123はコモン電極（ITO2）（あるいは対向電極（CT））に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ（TFT）のゲート電極に印加する駆動電圧（正のバイアス電圧および負のバイアス電圧）を生成する。

## 【0035】

前記した如く、液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。このコモン対称法は、画素電極（ITO1/PX）に印加される電圧の振幅が、コモン反転法の場合に比べ2倍となり、低耐圧のドライバが使用できないと言う欠点があるが、低消費電力と表示品質の点で優れているドット反転法あるいはVライン反転法が使用可能である。

## 【0036】

本実施の形態の液晶表示モジュールでは、その駆動方法として、前記ドット反転法を使用している。

このドット反転法を使用することにより、隣り合うドレイン信号線（D）に印加される電圧が逆極性となるため、コモン電極（ITO2）（あるいは対向電極（CT））や薄膜トランジスタ（TFT）のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。

また、コモン電極（ITO2）（あるいは対向電極（CT））に流れる電流が少なく電圧降下が大きくならないため、コモン電極（ITO2）（あるいは対向電極（CT））の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

## 【0037】

図5は、図1に示すドレインドライバ130の一例の概略構成示すブロック図である。

なお、ドレインドライバ130は、1個の半導体集積回路（LSI）から構成される。

同図において、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧（ $V''_0 \sim V''_4$ ）に基づいて、正極性の33階調の第1階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧（ $V''_5 \sim V''_9$ ）に基づいて、負極性の33階調の第1階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。

## 【0038】

また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力される表示データラッチ用クロック（D2）に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。

## 【0039】

入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力される表示データラッチ用クロック（D2）に同期して、各色毎8ビットの表示データを出力本数分だけラッチする。

## 【0040】

ストレージレジスタ回路155は、表示制御装置110から入力される出力タイミング制御用クロック（D1）に応じて、入力レジスタ回路154内の表示デ



ータをラッチする。

このストレージレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に入力される。

出力回路157は、正極性の33階調の第1階調電圧、あるいは負極性の33階調の第1階調電圧に基づき、表示データに対応した1つの階調電圧（256階調の中の1つの階調電圧）を生成して、各ドレイン信号線（D）に出力する。

#### 【0041】

図6は、出力回路157の構成を中心に、図5に示すドレインドライバ130の構成を説明するためのブロック図である。

同図において、153は図5に示す制御回路152内のシフトレジスタ回路、156は図5に示すレベルシフト回路であり、また、データラッチ部265は、図5に示す入力レジスタ回路154とストレージレジスタ回路155とを表し、さらに、デコーダ部（階調電圧選択回路）261、アンプ回路対263、アンプ回路対263の出力を切り替えるスイッチ部（2）264が、図5に示す出力回路157を構成する。

ここで、スイッチ部（1）262およびスイッチ部（2）264は、交流化信号（M）に基づいて制御される。

また、Y1、Y2、Y3、Y4、Y5、Y6は、それぞれ第1番目、第2番目、第3番目、第4番目、第5番目、第6番目のドレイン信号線（D）を示している。

#### 【0042】

図6に示すドレインドライバ130においては、スイッチ部（1）262により、データラッチ部265（より詳しくは、図5に示す入力レジスタ154）に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部265に入力する。

#### 【0043】

デコーダ部261は、階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の33階調の第1階調電圧に基づき、各データラッチ部265（より詳しくは、図5に示すストレージレジスタ155）から出力され

る表示用データに対応する正極性の階調電圧を生成する高電圧用デコーダ回路278と、階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の33階調の第1階調電圧に基づき、各データラッチ部265から出力される表示用データに対応する負極性の階調電圧を生成する低電圧用デコーダ回路279とから構成される。

この高電圧用デコーダ回路278と低電圧用デコーダ回路279とは、隣接するデータラッチ部265毎に設けられる。

#### 【0044】

アンプ回路対263は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。高電圧用アンプ回路271には高電圧用デコーダ回路278で生成された正極性の階調電圧が入力され、高電圧用アンプ回路271は正極性の階調電圧を出力する。低電圧用アンプ回路272には低電圧用デコーダ回路279で生成された負極性の階調電圧が入力され、低電圧用アンプ回路272は負極性の階調電圧を出力する。

#### 【0045】

ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対263の高電圧用アンプ回路271および低電圧用アンプ回路272の並びは、高電圧用アンプ回路271→低電圧用アンプ回路272→高電圧用アンプ回路271→低電圧用アンプ回路272となるので、スイッチ部(1)262により、データラッチ部165に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部265に入力し、それに合わせて、高電圧用アンプ回路271あるいは低電圧用アンプ回路272から出力される出力電圧をスイッチ部(2)264により切り替え、各色毎の階調電圧が出力されるドレイン信号線(D)、例えば、第1番目のドレイン信号線(Y1)と第4番目のドレイン信号線(Y4)とに出力することにより、各ドレイン信号線(D)に正極性あるいは負極性の階調電圧を出力することが可能となる。

#### 【0046】

図7は、従来例のスイッチ部(2)264の一スイッチ回路の回路構成を示す

回路図である。

同図に示すように、従来例のスイッチ部(2)264の一スイッチ回路は、高電圧用アンプ回路271と $n$ 番目のドレイン信号( $Y_n$ )との間に接続されるPMOSトランジスタ(PM1)と、高電圧用アンプ回路271と( $n+3$ )番目のドレイン信号( $Y_{n+1}$ )との間に接続されるPMOSトランジスタ(PM2)と、低電圧用アンプ回路272と( $n+3$ )番目のドレイン信号( $Y_{n+3}$ )との間に接続されるNMOSトランジスタ(NM1)と、低電圧用アンプ回路272と $n$ 番目のドレイン信号( $Y_n$ )との間とに接続されるNMOSトランジスタ(NM2)とを有する。

#### 【0047】

PMOSトランジスタ(PM1)のゲート電極には、インバータ(INV)で反転されたノア回路(NOR1)の出力が、また、PMOSトランジスタ(PM2)のゲート電極には、インバータ(INV)で反転されたノア回路(NOR2)の出力が、それぞれレベルシフト回路(LS)でレベルシフトされて入力される。

同様に、NMOSトランジスタ(NM1)のゲート電極には、インバータ(INV)で反転されたナンド回路(NAND2)の出力が、また、NMOSトランジスタ(NM2)のゲート電極には、インバータ(INV)で反転されたナンド回路(NAND1)の出力が、それぞれレベルシフト回路(LS)でレベルシフトされて入力される。

なお、図7には、各MOSトランジスタ(PM1, PM2, NM1, NM2)のゲート電極に印加される電圧値を合わせて図示してある。

#### 【0048】

ここで、ナンド回路(NAND1)とノア回路(NOR1)には、交流化信号(M)が、ナンド回路(NAND2)およびノア回路(NOR2)には、インバータ(INV)で反転された交流化信号(M)が入力される。

また、ナンド回路(NAND1, NAND2)には、出力イネーブル信号(ENB)が、ノア回路(NOR1, NOR2)には、インバータ(INV)で反転された出力イネーブル信号(ENB)が入力される。

表1に、ナンド回路（NAND1，NAND2）とノア回路（NOR1，NPR2）の真理値表と、その時の各MOSトランジスタ（PM1，PM2，NM1，NM2）のオン・オフ状態を示す。

【0049】

【表1】

ENB	M	NOR1	PM1	NAND2	NM1	NAND1	PM2	NOR2	NM2
L	*	L	OFF	H	OFF	H	OFF	L	OFF
H	H	L	OFF	H	OFF	L	ON	H	ON
	L	H	ON	L	ON	H	OFF	L	OFF

\*は交流化信号（M）に無関係であることを表す。

【0050】

表1から分かるように、出力イネーブル信号（ENB）がLowレベル（以下、Lレベル）の時に、ナンド回路（NAND1，NAND2）はHighレベル（以下、Hレベル）、ノア回路（NOR1，NPR2）はLレベルとなり、各MOSトランジスタ（PM1，PM2，NM1，NM2）はオフ状態となる。

走査ラインの切り替わり時には、高電圧用アンプ回路271と低電圧用アンプ回路272とも不安定の状態にある。

この出力イネーブル信号（ENB）は、走査ラインの切り替わり期間内に、各アンプ回路（271，272）の出力が、各ドレイン信号線（D）に出力されるのを防止するために設けられている。

【0051】

また、表1から分かるように、出力イネーブル信号（ENB）がHレベルの時には、交流化信号（M）のHレベルあるいはLレベルに応じて、各ナンド回路（NAND1，NAND2）がHレベルあるいはLレベル、各ノア回路（NOR1）がHレベルあるいはLレベルとなる。

これにより、PMOSトランジスタ（PM1）およびNMOSトランジスタ（NM1）がオフあるいはオン、PMOSトランジスタ（PM2）およびNMOS

トランジスタ (NM2) がオンあるいはオフとなり、高電圧用アンプ回路 271 の出力はドレイン信号線 ( $Y_{n+3}$ ) に、低電圧用アンプ回路 272 の出力はドレイン信号線 ( $Y_n$ )、あるいは、高電圧用アンプ回路 271 の出力はドレイン信号線 ( $Y_n$ ) に、低電圧用アンプ回路 272 の出力はドレイン信号線 ( $Y_{n+3}$ ) に出力される。

## 【0052】

ここで、従来の液晶表示モジュール (LCM) では、各画素の液晶層 (LC) に印加される階調電圧の電圧範囲は、負極性側で 0~5 V、正極性側で 5~10 V であり、したがって、低電圧用アンプ回路 272 からは 0~5 V の負極性の階調電圧が出力され、高電圧用アンプ回路 271 からは 5~10 V の正極性の階調電圧が出力される。

この場合に、例えば、PMOS トランジスタ (PM1) がオフで、NMOS トランジスタ (NM2) がオンの場合に、PMOS トランジスタ (PM1) のソース・ドレイン間には、最大 10 V の電圧が印加される。

そのため、各 MOS トランジスタ (PM1, PM2, NM1, NM2) は、ソース・ドレイン間耐圧が 10 V の高耐圧 MOS トランジスタが使用される。

## 【0053】

近年、例えば、横電界方式の液晶表示パネルの高解像度化に伴う画素電極 (PX) と対向電極 (CT) とのギャップ長の拡大、あるいは液晶層 (LC) の液晶材の改良等により、各画素の液晶層 (LC) に印加される階調電圧の電圧範囲は、負極性側で -5~2.5 V、正極性側で 2.5~10 V に拡大する必要が生じている。

## 【0054】

この負極性側で -5~2.5 V、正極性側で 2.5~10 V の電圧範囲の階調電圧を、各画素の液晶層 (LC) に印加する場合に、図 7 に示すスイッチ回路における、オフとなる MOS トランジスタには、最大 15 V の電圧が印加されることになり、スイッチ回路を構成する各 MOS トランジスタ (PM1, PM2, NM1, NM2) として、ソース・ドレイン間耐圧が 15 V の高耐圧 MOS トランジスタを使用する必要がある。

## 【0055】

このソース・ドレイン間耐圧が15Vの高耐圧MOSトランジスタは、しきい値( $V_T$ )あるいはコンダクタンス( $g_m$ )のばらつきが大きいばかりでなく、製造プロセス上の制約により、ドレインドライバ130内の高耐圧MOSトランジスタをすべてこのソース・ドレイン間耐圧が15Vの高耐圧MOSトランジスタに変更する必要がある、ドレインドライバ130を構成する半導体集積回路のチップサイズが大きくなり、狭額縁化に対応できないという問題点があった。

## 【0056】

図8は、本実施の形態のスイッチ部(2)264の一スイッチ回路の回路構成を示す回路図である。

本実施の形態では、高電圧用アンプ回路271から2.5~10Vの電圧範囲の階調電圧が、また、低電圧用アンプ回路272から-5~2.5Vの電圧範囲の階調電圧が出力される。

それに応じて、スイッチ回路を構成する各MOSトランジスタ(PM1, PM2, NM1, NM2)と直列に、電圧降下用のMOSトランジスタ(PM21, PM22, NM21, NM22)が、それぞれ接続されている。

## 【0057】

この電圧降下用のPMOSトランジスタ(PM21, PM22)のゲート電極には0Vの一定のバイアス電圧が、また、電圧降下用のNMOSトランジスタ(NM21, NM22)には5Vの一定のバイアス電圧が印加される。それ以外の構成は、前記図7と同じである。

なお、本実施の形態では、出力イネーブル信号(ENB)として、出力タイミング制御用クロック(D1)の反転信号を使用しているが、表示データラッチ用クロック(D2)をカウントする等して内部で生成することも可能である。

## 【0058】

今、PMOSトランジスタ(PM1)がオフ、NMOSトランジスタ(NM2)がオンであると、PMOSトランジスタ(PM1)とPMOSトランジスタ(PM21)とからなるトランジスタ対の両端には、最大15Vの電圧が印加されることになる。

しかしながら、PMOSトランジスタ (PM1) はオフで、このトランジスタ対には電流が流れないので、PMOSトランジスタ (PM21) のソース電圧 (VS) は、下記 (1) 式のように表される。

【0059】

【数1】

$$V_{GS} - V_T = 0$$

$$V_G - V_S - V_T = 0$$

$$V_S = V_G - V_T \quad \dots \dots \dots (1)$$

但し、 $V_{GS}$  は PMOS トランジスタ (PM21) のゲート・ソース間電圧、 $V_G$  は PMOS トランジスタ (PM21) のゲート電圧、 $V_T$  はしきい値電圧である。

即ち、PMOS トランジスタ (PM21) のソース電圧 ( $V_S$ ) は、そのゲート電圧 ( $V_G$ ) からしきい値電圧 ( $V_T$ ) を引いた電圧となり、PMOS トランジスタ (PM21) のソース電圧 ( $V_S$ ) は、そのゲート電圧 ( $V_G$ ) ( $= 0V$ ) に約等しくなる。

この PMOS トランジスタ (PM21) のソース電圧 ( $V_S$ ) は、PMOS トランジスタ (PM1) のドレイン電圧 ( $V_D$ ) に等しいので、この PMOS トランジスタ (PM1) として、従来例と同様、ソース・ドレイン間耐圧が  $10V$  の高耐圧 PMOS トランジスタを使用することが可能となる。

【0060】

同様に、PMOS トランジスタ (PM1) がオン、NMOS トランジスタ (NM2) がオフの場合にも、NMOS トランジスタ (NM22) のソース電圧 ( $V_S$ ) は、そのゲート電圧 ( $V_G$ ) ( $= 5V$ ) に約等しくなる。

したがって、NMOS トランジスタ (NM2) としても、従来例と同様、ソース・ドレイン間耐圧が  $10V$  の高耐圧 PMOS トランジスタを使用することが可能となる。

【0061】

また、PMOS トランジスタ (PM21) のゲート電極に印加される  $0V$  のバイアス電圧は、PMOS トランジスタ (PM21) をオンとするバイアス電圧で

あるので、PMOSトランジスタ（PM1）がオンの場合には、高電圧用アンプ回路271の出力は、PMOSトランジスタ（PM21）を通してドレイン信号線（Yn）に出力される。

#### 【0062】

図9は、図8に示すPMOSトランジスタ（PM1，PM21）およびNMOSトランジスタ（NM2，NM22）の断面構造を示す要部断面図である。

同図に示すように、p型半導体基板20に第1nウェル領域21aが形成され、この第1nウェル領域21a内に、pウェル領域22が形成される。

ここで、p型半導体基板20には-5Vの電圧が、また、第1nウェル領域21aには5Vの電圧が印加される。

#### 【0063】

このpウェル領域22内に形成された各n型半導体領域（24a，24b，24c）、およびゲート電極（26a，26b）により、NMOSトランジスタ（NM2）およびNMOSトランジスタ（NM22）が構成される。

この場合に、n型半導体領域（24b）は、NMOSトランジスタ（NM2）のドレイン領域と、NMOSトランジスタ（NM22）のソース領域とを兼用している。また、pウェル領域22には、p型半導体領域25dにより、低電圧用アンプ回路272からの負極性の階調電圧が印加される。

#### 【0064】

同様に、p型半導体基板20に第2nウェル領域21bが形成され、この第2nウェル領域21b内に、第3nウェル領域23が形成される。ここで、第2nウェル領域21bおよび第3nウェル領域23には、n型半導体領域24dにより、高電圧用アンプ回路271からの正極性の階調電圧が印加される。

この第3nウェル領域23内に形成された各p型半導体領域（25a，25b，25c）、およびゲート電極（27a，27b）により、PMOSトランジスタ（PM1，PM12）が構成される。

この場合に、p型半導体領域（25b）は、PMOSトランジスタ（PM1）のドレイン領域と、PMOSトランジスタ（PM21）のソース領域とを兼用している。



なお、図9には、各n型半導体領域(24a, 24b, 24c)の間、各p型半導体領域(25a, 25b, 25c)の間、および、各n型半導体領域(24a, 24b, 24c)およびp型半導体領域(25a, 25b, 25c)と各ウェル領域との間の最大耐圧を合わせて図示してある。

【0065】

図10、図11は、図8に示すPMOSTランジスタ(PM1, PM21)およびNMOSTランジスタ(NM2, NM22)の製造工程の概略を説明するための要部断面図である。

次に、図10、図11を用いて、図8に示すPMOSTランジスタ(PM1, PM21)およびNMOSTランジスタ(NM2, NM22)の形成方法を簡単に説明する。

【0066】

始めに、単結晶シリコンからなるp型半導体基板20を用意し、p型およびn型領域決定用不純物の選択的イオン打ち込みにより、第1nウェル領域21a、第2nウェル領域21b、pウェル領域22および第3nウェル領域23を形成する。(図10(a))

ここで、第1nウェル領域21a、第2nウェル領域21bおよび第3nウェル領域23は、n型領域決定用不純物として磷(P)を使用し、第1nウェル領域21aおよび第2nウェル領域21bにおいては、不純物の導入量は、 $5.4 \times 10^{12}$  [atoms/cm<sup>2</sup>]程度、第3nウェル領域23においては、不純物の導入量は、 $1.0 \times 10^{12}$  [atoms/cm<sup>2</sup>]程度とされる。

また、pウェル領域22は、p型領域決定用不純物としてフッ化ボロン(BF<sub>2</sub>)を使用し、不純物の導入量は、 $1.1 \times 10^{13}$  [atoms/cm<sup>2</sup>]程度とされる。

【0067】

次に、周知の選択酸化法により、前記p型半導体基板20の素子分離領域の主面上に酸化珪素膜で形成されるフィールド絶縁膜30を形成する。(図10(b))

次に、熱酸化処理を施し、pウェル領域22および第3nウェル領域23のそれぞれの主面上に酸化珪素膜で形成されるゲート電極絶縁膜31を形成し、次に

、ゲート電極絶縁膜 31 上に、例えば、CVD 法で多結晶珪素（ポリシリコン）膜 32 を堆積する。（図 10（c）、図 10（d））

次に、この多結晶珪素膜 32 にパターンニングを施して、p ウェル領域 22 および第 3 n ウェル領域 23 のそれぞれのゲート電極絶縁膜 31 上に、ゲート電極（26 a, 26 b, 27 a, 27 b）を形成する。（図 10（e））

次に、p 型半導体基板 20 上にマスク 33 を形成する。このマスク 33 は、第 3 n ウェル領域 23 および p ウェル領域 22 の一部に開口を有し、p ウェル領域 22 の残りの領域を覆う、例えば、フォトリソスト膜で形成される。このフォトリソスト膜は、例えば、回転塗布法で塗布され、バーク処理を施した後、露光処理、現像処理等が施されて形成される。

次に、このマスク 33 およびゲート電極（27 a, 27 b）を不純物導入マスクとして、イオン打ち込み法で p 型領域決定用不純物を導入し、アニール処理を施して、p 型半導体領域（25 a, 25 b, 25 c, 25 d）を形成する。ここで、この不純物としては、フッ化ボロン（ $\text{BF}_2$ ）を使用し、また、イオン打ち込みを 2 回に分けて行い、始めに、不純物の導入量が、 $3.0 \times 10^{14}$  [atoms/cm<sup>2</sup>] 程度の p 型半導体領域を形成し、次に、不純物の導入量が、 $2.0 \times 10^{15}$  [atoms/cm<sup>2</sup>] 程度の p 型半導体領域を形成する。

即ち、p 型半導体領域（25 a, 25 b, 25 c, 25 d）は、不純物濃度の濃い p 型半導体領域が、不純物濃度の薄い p 型半導体領域で囲まれるよう形成され、これにより、不純物濃度勾配を緩やかにして、ウェル領域との耐圧を向上させるようにしている。（図 11（a））

次に、マスク 33 を除去した後、p 型半導体基板 20 上にマスク 34 を形成する。このマスク 34 は、p ウェル領域 22 および第 3 n ウェル領域 23 の一部に開口を有し、第 3 n ウェル領域 23 の残りの領域を覆う、例えば、フォトリソスト膜で形成される。

次に、このマスク 34 およびゲート電極（26 a, 26 b）を不純物導入マスクとして、イオン打ち込み法で n 型領域決定用不純物を導入し、アニール処理を施して、n 型半導体領域（24 a, 24 b, 24 c, 24 d）を形成する。ここで、前記工程と同様、イオン打ち込みを 2 回に分けて行い、始めに、不純物とし

て燐を使用し、不純物の導入量が、 $3.0 \times 10^{13}$  [atoms/cm<sup>2</sup>] 程度の n 型半導体領域を形成し、次に、不純物として砒素 (As) を使用し、不純物の導入量が、 $3.0 \times 10^{15}$  [atoms/cm<sup>2</sup>] 程度の n 型半導体領域を形成する。

即ち、n 型半導体領域 (24 a, 24 b, 24 c, 24 d) は、不純物濃度の濃い n 型半導体領域が、不純物濃度の薄い n 型半導体領域で囲まれるよう形成され、これにより、不純物濃度勾配を緩やかにして、ウェル領域との耐圧を向上させるようにしている。(図 11 (b))

次に、図 11 (c) に示すように、マスク 34 を除去した後に、p 型半導体基板 20 上に酸化珪素膜で形成される層間絶縁膜 35 を形成し、当該層間絶縁膜 35 に、n 型半導体領域 (24 a, 24 c, 24 d) および p 型半導体領域 (25 a, 25 c, 25 d) の表面が露出する接続孔 36 を形成する。(図 11 (d))

次に、p 型半導体基板 20 上にアルミニウムを蒸着した後で、配線以外のアルミニウムをエッチングにより取り除く。(図 11 (e))

以上説明したように、本実施の形態によれば、その両端に 10 ~ 20 V の電圧が印加されるスイッチ部 (2) 264 のスイッチング素子として、ソース・ドレイン間耐圧が 10 V の MOS トランジスタを使用することができ、スイッチ部 (2) 264 のスイッチング素子として、ソース・ドレイン間耐圧が 20 V の高耐圧 MOS トランジスタを使用する場合に比して、スイッチ部 (2) 264 の面積を小さくでき、これにより、ドレインドライバ 130 のチップサイズを小さくすることが可能となり、それに伴い、液晶表示モジュール (LCM) のコストを低減することが可能となる。

#### 【0068】

次に、本実施の形態の高電圧用デコーダ回路 278 について図 12 を用いて説明する。

図 12 は、本実施の形態の高電圧用デコーダ回路 278 の一例の回路構成を示す回路図である。

なお、図 12 には、正極性階調電圧生成回路 151 a の概略回路構成も合わせて図示している。

## 【0069】

同図に示すように、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧( $V''_0 \sim V''_4$ )に基づいて、正極性の33階調の第1階調電圧を生成する。

この場合に、液晶層に印加する電圧と透過率との関係はリニアではなく、図29に示すように、透過率の高いところ、および低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となるところでは透過率の変化が大きい。

そのため、この正極性の5値の階調基準電圧( $V''_0 \sim V''_4$ )は、中間調付近( $V''_2 \sim V''_3$ )では差が小さく、それ以外の( $V''_1 \sim V''_2$ ,  $V''_3 \sim V''_4$ )で差が大きく設定され、また、正極性階調電圧生成回路151aを構成する抵抗分圧回路の各分圧抵抗は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成されている。

なお、図12の正極性階調電圧生成回路151aでは、正極性の5値の階調基準電圧( $V''_0 \sim V''_4$ )間を8分圧して、33階調の第1階調電圧を生成するようにしているが、これに限定されるものではなく、正極性の5値の階調基準電圧( $V''_0 \sim V''_4$ )間の分圧比は、液晶層に印加する電圧と透過率との関係に合わせて適宜変更してもよいことはいうまでもない。

## 【0070】

高電圧用デコーダ回路278は、33階調の第1階調電圧の互いに隣り合う第1階調電圧( $V_{OUTA}$ ,  $V_{OUTB}$ )を選択するデコーダ回路301と、当該デコーダ回路301で選択された第1階調電圧( $V_{OUTA}$ )を端子(P1)あるいは端子(P2)に、また、当該デコーダ回路301で選択された第1階調電圧( $V_{OUTB}$ )を端子(P2)あるいは端子(P1)に出力するマルチプレクサ302と、当該マルチプレクサ302から出力される互いに隣り合う第1階調電圧( $V_{OUTA}$ ,  $V_{OUTB}$ )間の電位差( $\Delta V$ )を分圧して、当該電位差( $\Delta V$ )の $1/8 \Delta V$ ,  $2/8 \Delta V$ ,  $3/8 \Delta V$ ,  $4/8 (1/2) \Delta V$ ,  $5/8 \Delta V$ ,  $6/8 \Delta V$ ,  $8/8 \Delta V$ ,  $8/8 (=1) \Delta V$ の電圧を生成する第2階調電圧生成回路303とを有する。

## 【0071】

デコーダ回路301は、奇数番目の第1階調電圧の中から、8ビットの表示データの上位5ビット(D3~D7)に対応する第1階調電圧を選択する第1デコーダ回路311と、偶数番目の第1階調電圧の中から、8ビットの表示データの上位4ビット(D4~D7)に対応する第1階調電圧を選択する第2デコーダ回路312とで構成される。

## 【0072】

第1デコーダ回路311は、8ビットの表示データの上位5ビット(D3~D7)により、第1番目の第1階調電圧(V1)と第33番目の第1階調電圧(V33)とを1回、第3番目の第1階調電圧(V3)乃至第31番目の第1階調電圧(V31)を、それぞれ連続して2回選択するように構成される。

しかしながら、第2デコーダ回路312は、8ビットの表示データの上位4ビット(D4~D7)により、第2番目の第1階調電圧(V2)乃至第32番目の第1階調電圧(V32)を、1回選択するように構成される。

なお、図12において、○はデータビットがLowレベルでオンとなるスイッチ素子(例えば、PMOSトランジスタ)である。

## 【0073】

ここで、 $V''_0 < V''_1 < V''_2 < V''_3 < V''_4$ であるので、表示データの4ビット(D3)のビット値がLレベルの場合、階調電圧VOUTAとして、VOUTBの階調電圧よりも低電位の階調電圧が出力され、また、表示データの4ビット(D3)のビット値がHレベルの場合、階調電圧VOUTAとして、VOUTBの階調電圧よりも高電位の階調電圧が出力される。

したがって、この表示データの4ビット(D3)目のビット値のHレベルおよびLレベルに応じてマルチプレクサ302を切り換え、表示データの4ビット(D3)目のビット値がLレベルの時に端子(P1)にVOUTAの階調電圧を、端子(P2)にVOUTBの階調電圧を出力し、また、表示データの4ビット(D3)目のビット値がHレベルの時に端子(P1)にVOUTBの階調電圧を、端子(P2)にVOUTAの階調電圧を出力する。

これにより、端子(P1)の階調電圧を(Va)、端子(P2)の階調電圧を

(Vb) とするとき、常に、 $V_a < V_b$  とすることができ、第2階調電圧生成回路303の設計が簡単となる。

#### 【0074】

図13は、図12に示す第2階調電圧生成回路303の回路構成の一例を示す回路図である。

第2階調電圧生成回路303は、端子(P2)とアンプ回路(高電圧用アンプ回路271)の入力端との間に接続されるコンデンサ(Co1)と、一端がアンプ回路の入力端に接続され、他端が、スイッチ素子(S01)を介して端子(P1)に、また、スイッチ素子(S02)を介して端子(P2)に接続されるコンデンサ(Co2)と、一端がアンプ回路の入力端に接続され、他端が、スイッチ素子(S11)を介して端子(P1)に、また、スイッチ素子(S12)を介して端子(P2)に接続されるコンデンサ(Co3)と、一端がアンプ回路の入力端に接続され、他端が、スイッチ素子(S21)を介して端子(P1)に、また、スイッチ素子(S22)を介して端子(P2)に接続されるコンデンサ(Co4)と、端子(P2)とアンプの入力端との間に接続されるスイッチ素子(SS1)とを有する。

ここで、コンデンサ(Co1)とコンデンサ(Co2)との容量値は同一、コンデンサ(Co3)の容量値は、コンデンサ(Co1)の容量値の2倍の容量値、コンデンサ(Co4)の容量値は、コンデンサ(Co1)の容量値の4倍の容量値とされる。

#### 【0075】

また、図13に示すように、スイッチ素子(SS1)は、リセットパルス(/CR)により制御され、各スイッチ素子(S01, S02, S11, S12, S21, S22)は、リセットパルス(/CR)、タイミングパルス(/TCK)、表示データの下位3ビット(D0~D2)が入力されるスイッチ制御回路(SG1~SG3)で制御される。

各スイッチ制御回路(SG1~SG3)は、ナンド回路(NAND)、アンド回路(AND)、およびノア回路(NOR)を備える。表2に、このナンド回路(NAND)、アンド回路(AND)、およびノア回路(NOR)の真理値表を

示す。

【0076】

【表2】

／CR	／TCK	／D	NAND	AND	NOR	S n 1	S n 2
L	H	*	H	L	L	OFF	ON
H	H	*	H	L	H	OFF	OFF
	L	H	L	L	H	ON	OFF
		L	H	H	L	OFF	ON

\* は、表示データに無関係であることを表す。

【0077】

この表2を用いて、この第2階調電圧生成回路303の動作を簡単に説明する。まず、リセットパルス（／CR）がLレベルであると、スイッチ素子（SS1）はオン、また、ノア回路（NOR）にはHレベルのリセットパルス（／CR）が入力されるので、ノア回路（NOR）の出力はLレベルとなり、各スイッチ素子（S02, S12, S22）はオンとなる。

この場合に、タイミングパルス（／TCK）はHレベルであり、ナンド回路（NAND）にはLレベルのタイミングパルス（／TCK）が入力されるので、ナンド回路（NAND）の出力はHレベルとなり、各スイッチ素子（S01, S11, S21）はオフとなる。これにより、各コンデンサ（C01～C04）の両端は端子（P2）に接続されるので、各コンデンサ（C01～C04）は充放電されて、その電位差が0ボルトの状態にされる。

【0078】

次に、リセットパルス（／CR）がHレベルで、タイミングパルス（／TCK）がLレベルになると、表示データの下位3ビット（D0～D2）のそれぞれのビット値に応じて、各スイッチ素子（S01, S02, S11, S12, S21

、S22)は、オンあるいはオフとされる。

これにより、端子(P1)の階調電圧を( $V_a$ )、端子(P2)の階調電圧を( $V_b$ )、 $V_a$ と $V_b$ との電位差を $\Delta V$ とする時、この第2階調電圧生成回路302から、 $V_a + 1/8 \Delta V$ 、 $V_a + 2/8 \Delta V$ 、 $\dots V_b$  ( $V_a + 8/8 \Delta V$ )の階調電圧が出力される。

#### 【0079】

フルデコード方式の高電圧用デコーダ回路278を使用して、256階調表示を行う場合には、256階調毎に16個のトランジスタが必要となるので、各ドレイン信号線(D)当たりのMOSトランジスタの総数は4096個( $256 \times 16$ )となる。

このため、デコーダ部261の占める面積が増加し、前記ドレインドライバを構成する半導体集積回路(ICチップ)のチップサイズが大きくなるという問題点があった。

#### 【0080】

本実施の形態の高電圧用デコーダ回路278では、デコーダ回路を構成するスイッチング素子は、第1デコーダ回路311で160( $= (17+15) \times 5$ )、第2デコーダ回路312で64( $= 4 \times 16$ )であるので、各ドレイン信号線(D)当たりのデコーダ回路を構成するスイッチング素子(MOSトランジスタ)の総数は224となり、従来例の各ドレイン信号線(D)当たりのMOSトランジスタの総数4096個に比べて大幅に少なくすることが可能となる。

#### 【0081】

また、スイッチング素子を減少させることにより、ドレインドライバ130の内部電流を低減させることができるので、液晶表示モジュール(LCM)全体の消費電力を低減することができ、それにより、液晶表示モジュール(LCM)の信頼性を向上させることが可能となる。

#### 【0082】

なお、低電圧用デコーダ回路279も、前記高電圧用デコーダ回路278と同様に構成でき、この場合に、負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧( $V''_5 \sim V''_9$ )に基づ



いて、負極性の33階調の第1階調電圧を生成する。

ここで、負極性階調電圧生成回路151bを構成する抵抗分圧回路の各分圧抵抗は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成される。

この低電圧用デコーダ回路279では、 $V''_5 > V''_6 > V''_7 > V''_8 > V''_9$ となるので、端子(P1)の階調電圧を( $V_a$ )、端子(P2)の階調電圧を( $V_b$ )とすると、常に、 $V_a > V_b$ となる。

#### 【0083】

図14は、本実施の形態の高電圧用デコーダ回路278の他の例の回路構成を示す回路図であり、図15は、図14に示す高電圧用デコーダ回路278を構成するMOSトランジスタのゲート幅を説明するための模式図である。

なお、図12において、○はPMOSトランジスタを、●はNMOSトランジスタを示している。

#### 【0084】

前記図12に示す高電圧用デコーダ回路278において、各デコード行毎に同じ電圧がゲート電極に印加されるMOSトランジスタは、表示データの上位ビット程連続している。

したがって、この各桁毎に同じ電圧がゲート電極に印加され、且つ各デコード行毎に連続するMOSトランジスタを1個のMOSトランジスタに置換しても、機能的には何ら問題はない。

本実施の形態は、この各桁毎に同じ電圧がゲート電極に印加され、且つ各デコード行毎に連続するMOSトランジスタを1個のMOSトランジスタに置換したものである。

#### 【0085】

さらに、本実施の形態では、図15に示すように、最小サイズのMOSトランジスタのゲート幅をWとする時、その最小サイズのMOSトランジスタの上位桁のMOSトランジスタのゲート幅を2W、さらに、その上位桁のMOSトランジスタのゲート幅を4Wと、表示データの上位ビットがゲート電極に印加されるMOSトランジスタ(上位ビット側のMOSトランジスタ)のゲート幅(W)を最

小サイズのMOSトランジスタのゲート幅の2の $(m-j)$ 乗倍としている。

ここで、 $m$ は表示データのビット数、 $j$ は最小サイズのMOSトランジスタで構成されるビットの中で最上位ビットのビット番号である。

【0086】

本実施の形態で、最小サイズのMOSトランジスタの抵抗を $R$ とすると、各デコード行のMOSトランジスタの合成抵抗は、デコーダ回路311で約 $2R$  ( $\div R + R/2 + R/4 + R/8 + R/16$ )、デコーダ回路312で約 $2R$  ( $\div R + R/2 + R/4 + R/8$ )となる。

なお、図12に、最小サイズのMOSトランジスタの抵抗を $R$ とした時の、各桁のMOSトランジスタの抵抗を合わせて図示している。

【0087】

この場合に、図12に示す高電圧用デコーダ回路278では、最小サイズのMOSトランジスタの抵抗を $R$ とすると、各デコード行のMOSトランジスタの合成抵抗は、デコーダ回路311で $5R$  ( $= R + R + R + R + R$ )、デコーダ回路312で $4R$  ( $= R + R + R + R$ )となる。

【0088】

したがって、図14に示す高電圧用デコーダ回路278では、各デコード行のMOSトランジスタの合成抵抗を低減することができ、第2階調電圧生成回路303を構成する各コンデンサに電荷を再配分する際に大電流の充放電を流すことができるので、デコーダ回路を高速化することができるとともに、デコーダ回路311とデコーダ回路312との合成抵抗値を同等にできるため、生成される2階調の速度差を低減することができる。

【0089】

また、一般に、MOSトランジスタでは、基板・ソース間電圧 ( $V_{BS}$ ) により、しきい値電圧 ( $V_T$ ) が正の方向に変化し、それにより、ドレイン電流 ( $I_{DS}$ ) が減少する。即ち、MOSトランジスタのオン抵抗が増大する。

そのため、図14に示す高電圧用デコーダ回路278では、同図に示すように、基板・ソース間電圧 ( $V_{BS}$ ) が同等となる階調電圧 (図14では、 $V16$  (または $V18$ )、 $V15$  (または $V17$ ) の階調電圧) を境にして、PMOSトラ

ンジスタ領域と、NMOSトランジスタ領域とに分離するようにしている。

これにより、図14に示す高電圧用デコーダ回路278では、デコーダ回路を構成するMOSトランジスタにおける、基板バイアス効果による抵抗の増加を抑制することができる。

#### 【0090】

図16は、本実施の形態の低電圧用デコーダ回路279の一例の回路構成を示す回路図である。

同図に示すように、低電圧用デコーダ回路279は、図16に示す高電圧用デコーダ回路278と同様に構成することができる。

但し、各電圧は、 $V_1 > V_2 > V_3 \cdots \cdots > V_{32} > V_{33}$ となる。

#### 【0091】

低電圧用デコーダ回路279では、基板・ソース間電圧( $V_{BS}$ )が同等となる階調電圧(図16では、 $V_{16}$ (または $V_{18}$ )、 $V_{15}$ (または $V_{17}$ )の階調電圧)を境にして、PMOSトランジスタ領域と、NMOSトランジスタ領域とを分離する際に、PMOSトランジスタ領域と、NMOSトランジスタ領域とが、高電圧用デコーダ回路278と反対になっている。

#### 【0092】

なお、図12乃至図16に示すデコード回路において、デコード回路301を構成する各MOSトランジスタは、高耐圧MOSトランジスタで構成されるか、あるいは、ゲート電極部のみ高耐圧構造としたMOSトランジスタで構成される。

さらに、デコード回路301の低ビット側のMOSトランジスタは、ドレイン・ソース間耐圧が低いMOSトランジスタを使用することができ、この場合には、デコード回路301部分のサイズをより小さくすることが可能となる。

#### 【0093】

また、第2階調電圧生成回路303は、コンデンサに代えて抵抗を使用することも可能であるが、この場合には、高抵抗値の抵抗を使用し、さらに、各抵抗の抵抗値の大小関係は、コンデンサと逆にする必要がある。

例えば、図13に示す第2階調電圧生成回路303において、コンデンサに代

えて抵抗を使用する場合、コンデンサ (C o 1) およびコンデンサ (C o 2) と置換される抵抗の抵抗値は、コンデンサ (C o 4) と置換される抵抗の抵抗値の 4 倍の抵抗値、コンデンサ (C o 3) と置換される抵抗の抵抗値は、コンデンサ (C o 4) と置換される抵抗の抵抗値の 2 倍の抵抗値とする必要がある。

【0094】

[実施の形態 2]

図 17 は、本実施の形態のスイッチ部 (2) 264 の一スイッチ回路の回路構成を示す回路図である。

本実施の形態は、各 MOS トランジスタ (PM1, PM2, NM1, NM2)、および電圧降下用の各 MOS トランジスタ (PM21, PM22, NM21, NM22) が形成される p ウェル領域 22 および第 3 n ウェル領域 23 に一定のバイアス電圧が印加されている点で、前記実施の形態 1 と相違するが、それ以外の構成は、前記実施の形態と同じである。

【0095】

図 18 は、図 17 に示す PMOS トランジスタ (PM1, PM21) および NMOS トランジスタ (NM2, NM22) の断面構造を示す要部断面図である。

同図に示すように、p 型半導体基板 20 に第 1 n ウェル領域 21 が形成され、この第 1 n ウェル領域 21 内に、p ウェル領域 22 と第 3 n ウェル領域 23 とが形成される。ここで、p 型半導体基板 20 および p ウェル領域 22 には -5 V の電圧が、また、第 1 n ウェル領域 21 a および第 3 n ウェル領域 23 には 10 V の電圧が印加される。

なお、図 18 には、各 n 型半導体領域 (24 a, 24 b, 24 c) の間、各 p 型半導体領域 (25 a, 25 b, 25 c) の間、および、各 n 型半導体領域 (24 a, 24 b, 24 c) および p 型半導体領域 (25 a, 25 b, 25 c) と各ウェル領域との間の最大耐圧を合わせて図示してある。

【0096】

前記実施の形態 1 のスイッチ回路では、p ウェル領域 22 は NMOS トランジスタ (NM1, NM2) のソース領域 (図 18 の 24 a) と同電位であり、p ウェル領域 22 には低電圧用アンプ回路 272 の出力電圧が印加される。

また、第3 nウェル領域23はPMOSトランジスタ(PM1, PM2)のソース領域(図18の25a)と同電位であり、第3 nウェル領域23には高電圧用アンプ回路271の出力電圧が印加される。

## 【0097】

そのため、前記実施の形態1のスイッチ回路では、ノイズ等の影響によりスイッチ回路の出力電圧(ドレイン信号(D))に供給される階調電圧)が変動すると、ラッチアップ現象が起きやすいという欠点があるが、本実施の形態では、pウェル領域22および第3 nウェル領域23が一定の電圧が印加されるので、ラッチアップ現象が起きにくくすることが可能である。

## 【0098】

## [実施の形態3]

図19は、本実施の形態のスイッチ部(2)264の一スイッチ回路の回路構成を示す回路図である。

本実施の形態は、各PMOSトランジスタ(PM1, PM2)にNMOSトランジスタ(NM31, NM32)が、また、各NMOSトランジスタ(NM1, NM2)にPMOSトランジスタ(PM31, PM32)が並列に接続されている点で、前記実施の形態2と相違する。

NMOSトランジスタ(NM31, NM32)のゲート電極には、PMOSトランジスタ(PM1, PM2)のゲート電極に印加される電圧が反転された電圧が印加され、NMOSトランジスタ(NM31, NM32)は、PMOSトランジスタ(PM1, PM2)と同期してオン・オフされる。

同様に、PMOSトランジスタ(PM31, PM32)のゲート電極には、NMOSトランジスタ(NM1, NM2)のゲート電極に印加される電圧が反転された電圧が印加され、PMOSトランジスタ(PM31, PM32)は、NMOSトランジスタ(NM1, NM2)と同期してオン・オフされる。

## 【0099】

図20は、図19に示すPMOSトランジスタ(PM1, PM21, PM32)およびNMOSトランジスタ(NM2, NM22, NM31)の断面構造を示す要部断面図である。

同図に示すように、p型半導体基板20に第1nウェル領域21aが形成され、この第1nウェル領域21a内に、第1pウェル領域22aと第4nウェル領域23bとが形成される。ここで、p型半導体基板20および第1pウェル領域22aには-5Vの電圧が、また、第1nウェル領域21aおよび第4nウェル領域23bには5Vの電圧が印加される。

この第4nウェル領域23bに形成された各p型半導体領域(25e, 25f, 24c)、およびゲート電極(26c)により、PMOSトランジスタ(PM32)が構成される。

#### 【0100】

同様に、p型半導体基板20に第2nウェル領域21bが形成され、この第2nウェル領域21b内に、第3nウェル領域23aおよび第2pウェル領域22bが形成される。ここで、第2nウェル領域21bおよび第3nウェル領域23aには10Vの電圧が、また、第2pウェル領域22bには0Vの電圧が印加される。

この第2pウェル領域22b内に形成された各n型半導体領域(24e, 24f)、およびゲート電極(27c)により、NMOSトランジスタ(MM31)が構成される。

なお、図20には、各n型半導体領域(24a, 24b, 24c, 24e, 24f)の間、各p型半導体領域(25a, 25b, 25c, 25e, 25f)の間、および、各n型半導体領域(24a, 24b, 24c, 24e, 24f)およびp型半導体領域(25a, 25b, 25c, 25e, 25f)と各ウェル領域との間の最大耐圧を合わせて図示してある。

#### 【0101】

前記実施の形態2のスイッチ回路では、pウェル領域22および第3nウェル領域23が一定の電圧が印加されるので、ラッチアップ現象が起きにくくすることが可能である。

しかしながら、一般に、MOSトランジスタでは、基板・ソース間電圧( $V_{BS}$ )により、しきい値電圧( $V_T$ )が正の方向に変化し(所謂、基板バイアス効果)、それにより、ドレイン電流( $I_{DS}$ )が減少し、即ち、MOSトランジスタの

オン抵抗が増大する。

そして、前記実施の形態2では、各PMOSトランジスタ(PM1, PM2)および各NMOSトランジスタ(NM1, NM2)のソース電圧とウェル電圧とが同電位でないため、基板バイアス効果により、MOSトランジスタのオン抵抗が増大するという欠点を有している。

#### 【0102】

しかしながら、本実施の形態では、各PMOSトランジスタ(PM1, PM2)にNMOSトランジスタ(NM31, NM32)を、また、各NMOSトランジスタ(NM1, NM2)にPMOSトランジスタ(PM31, PM32)を並列に接続するようにしたので、基板バイアス効果によりMOSトランジスタのオン抵抗が増大するのを抑止することが可能となる。

#### 【0103】

##### [実施の形態4]

図21は、本実施の形態のスイッチ部(2)264の一スイッチ回路の回路構成を示す回路図である。

本実施の形態は、オン状態にある各MOSトランジスタ(PM1, PM2, NM1, NM2)に、直列に接続される電圧降下用の各MOSトランジスタ(PM21, PM22, NM21, NM22)のゲート電圧を、高電圧用アンプ回路271および低電圧用アンプ回路272から出力される階調電圧の電圧値に応じて2段階に切り替えるようにした点で、前記実施の形態3と相違する。

#### 【0104】

図22は、図21に示すPMOSトランジスタ(PM1, PM21, PM32)およびNMOSトランジスタ(NM2, NM22, NM31)の断面構造を示す要部断面図であり、同図は、PMOSトランジスタ(PM21)およびNMOSトランジスタ(NM22)のゲート電極に印加される電圧が可変される以外は、図20と同じである。

#### 【0105】

図21に示す各ナンド回路(NAND3, NAND3)およびノア回路(NOR3, NOR4)の真理値表、並びに、各MOSトランジスタ(PM1, PM2

、NM1、NM2)のオン・オフの状態および各MOSトランジスタ(PM21、NM22)のゲート電極に印加される電圧値を、表3および表4に示す。

【0106】

【表3】

M	PM1 (NM31)	PM2 (NM31)	NM1 (NM31)	NM2 (NM31)
H	OFF	ON	OFF	ON
L	ON	OFF	ON	OFF

【0107】

【表4】

M	D7 (Yn)	D7 (Yn+1)	NAND3	NOR3	NAND4	NOR4	PM21	PM22	NM21	NM22
M	H	H	H	L	H	L	0V	0V	5V	5V
M	L	L	H	H	L	L	0V	-5V	5V	10V
L	H	H	H	L	H	L	0V	0V	5V	5V
L	L	L	L	L	H	H	-5V	0V	10V	5V

【0108】

なお、図21において、高耐圧MOSトランジスタで構成されるインバータ(HINV1、HINV2)は、レベルシフトされた出力信号を出力する。即ち、インバータ(HINV1、HINV2)は、レベルシフト回路を兼用している。

【0109】

表3から分かるように、交流化信号(M)がHレベルの時に、PMOSTランジスタ(PM2)およびNMOSTランジスタ(NM2)とがオンとなる。

また、表4から分かるように、オン状態のPMOSTランジスタ(PM2)に直列に接続されるPMOSTランジスタ(PM22)のゲート電極には、ドレイ



ン信号線 ( $Y_{n+3}$ ) に対応する表示データの最上位ビット ( $D_7$ ) のビット値がHレベルの時に0Vの電圧が印加され、ドレイン信号線 ( $Y_{n+3}$ ) に対応する表示データの最上位ビット ( $D_7$ ) のビット値がLレベルの時に-5Vの電圧が印加される。

また、表3から分かるように、交流化信号 (M) がLレベルの時に、PMOSトランジスタ (PM2) はオフとなるが、その場合には、表4から分かるように、PMOSトランジスタ (PM22) のゲート電極には、表示データの最上位ビット ( $D_7$ ) のビット値に係わらず、0Vの電圧が印加される。

【0110】

同様に、オン状態のNMOSトランジスタ (NM2) に直列に接続されるNMOSトランジスタ (NM22) のゲート電極には、ドレイン信号線 ( $Y_n$ ) に対応する表示データの最上位ビット ( $D_7$ ) のビット値がHレベルの時に5Vの電圧が印加され、ドレイン信号線 ( $Y_n$ ) に対応する表示データの最上位ビット ( $D_7$ ) のビット値がLレベルの時に10Vの電圧が印加される。

また、表3から分かるように、交流化信号 (M) がLレベルの時に、NMOSトランジスタ (NM2) はオフとなるが、その場合には、表4から分かるように、NMOSトランジスタ (NM22) のゲート電極には、表示データの最上位ビット ( $D_7$ ) のビット値に係わらず、5Vの電圧が印加される。

【0111】

このように、本実施の形態では、高電圧用アンプ回路271から出力される出力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  (但し、 $V_{1max}$ は高電圧用アンプ回路271から出力される最大出力電圧、 $V_{1min}$ は高電圧用アンプ回路271から出力される最小出力電圧、 $V_{1g}$ は0Vのバイアス電圧) を満足する場合に、オン状態にある各PMOSトランジスタ (PM1, PM2) に直列に接続される電圧降下用の各PMOSトランジスタ (PM21, PM22) のゲート電極に、-5Vのバイアス電圧を印加し、また、高電圧用アンプ回路271から出力される出力電圧 ( $V_{1in}$ ) が、 $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  を満足する場合に、オン状態にある各PMOSトランジスタ (PM1, PM2) に直列に接続される電圧降下

用の各PMOSトランジスタ (PM21, PM22) のゲート電極に、0Vのバイアス電圧を印加する。

#### 【0112】

同様に、低電圧用アンプ回路272から出力される出力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$  (但し、 $V_{2max}$ は低電圧用アンプ回路272から出力される最大出力電圧、 $V_{2min}$ は低電圧用アンプ回路272から出力される最小出力電圧、 $V_{2g}$ は5Vのバイアス電圧) を満足する場合に、オン状態にある各NMOSトランジスタ (NM1, NM2) に直列に接続される電圧降下用の各NMOSトランジスタ (NM21, NM22) のゲート電極に、10Vのバイアス電圧を印加し、また、低電圧用アンプ回路272から出力される出力電圧 ( $V_{2in}$ ) が、 $|V_{2in} - V_{2g}| > |V_{2max} - V_{2min}| / 2$  を満足する場合に、オン状態にある各NMOSトランジスタ (NM1, NM2) に直列に接続される電圧降下用の各NMOSトランジスタ (NM21, NM22) のゲート電極に、5Vのバイアス電圧を印加する。

#### 【0113】

一般に、MOSトランジスタでは、ゲート・ソース間電圧 ( $V_{GS}$ ) が小さいとドレイン電流 ( $I_{DS}$ ) も少ないので、MOSトランジスタのオン抵抗が増大する。

しかしながら、本実施の形態では、各アンプ回路 (271, 272) から出力される階調電圧が0Vに近い電圧 ( $|V_{1in} - V_{1g}| \leq |V_{1max} - V_{1min}| / 2$  および  $|V_{2in} - V_{2g}| \leq |V_{2max} - V_{2min}| / 2$ ) の場合、オン状態にある各MOSトランジスタ (PM1, PM2, NM1, NM2) に直列に接続される電圧降下用の各MOSトランジスタ (PM21, PM22, NM21, NM22) のゲート・ソース間電圧 ( $V_{GS}$ ) を大きくするようにしたので、各アンプ回路 (271, 272) から出力される階調電圧が0Vに近い電圧の場合に、MOSトランジスタのオン抵抗が増大するのを抑止することが可能となる。

なお、本実施の形態において、各アンプ回路 (271, 272) から出力される階調電圧の電圧値に係わらず、オン状態にある各MOSトランジスタ (PM1

、PM2、NM1、NM2)に直列に接続される電圧降下用の各MOSトランジスタ(PM21、PM22、NM21、NM22)のゲート・ソース間電圧( $V_{GS}$ )を大きくするようにしてもよい。

また、本実施の形態において、前記各実施の形態と同様、出力イネーブル信号(ENB)により、走査ラインの切り替わり期間内に、各アンプ回路(271、272)の出力が、各ドレイン信号線(D)に出力されないようにすることも化の可能である。

【0114】

さらに、前記各実施の形態2ないし3の説明において、スイッチ回路の製造方法については何ら言及していないが、前記実施の形態1と同様の方法に製造可能であることはいうまでもない。

【0115】

図23は、前記各実施の形態の液晶表示モジュールの組立完成図で、液晶表示パネルの表示面側から見た正面図、前側面図、右側面図、左側面図および後側面図である。図24は、前記各実施の形態の液晶表示モジュールの組立完成図で、液晶表示パネルの裏面側から見た図である。

【0116】

前記各実施の形態の液晶表示モジュールは、モールドケース(ML)、シールドケース(SHD)を備える。HLD1、HLD2、HLD3およびHLD4は、モールドケース(ML)、シールドケース(SHD)にそれぞれ設けられる取付穴である。当該液晶表示モジュールは、この4個の取付穴にネジ等を通してノートパソコン等を実装される。

バックライトを駆動するためのインバータ回路ユニットは、取付穴(HLD1、HLD2)の間の凹部に配置され、接続コネクタ(LCT)、ランプケーブル(LCP1、LCP2)を介して冷陰極蛍光灯(LP)に駆動電圧を供給する。

コンピュータ本体側からの表示データ、表示制御信号および電源は、モジュール裏面に位置するインタフェースコネクタ(CT1)を介して、インタフェース部100に供給される。

【0117】

図25(a)は、図23に示す液晶表示モジュールのI-I線で切断した断面図、図25(b)は、図23に示す液晶表示モジュールのII-II線で切断した断面図、図26(a)は、図23に示す液晶表示モジュールのIII-III線で切断した断面図、図26(b)は、図23に示す液晶表示モジュールのIV-IV線で切断した断面図である。

【0118】

図25、図26において、SHDは液晶表示パネルの周辺および液晶表示パネルの駆動回路を覆うシールドケース（上側ケース）である。MLはバックライトユニットを収納するモールドケース（下側ケース）である。LF1およびLF2は下側ケース（ML）を覆う第1および第2の下側シールドケースである。

【0119】

WSPCはバックライトユニットの周囲を覆う枠スペーサである。SUB1およびSUB2は、液晶表示パネルを構成するガラス基板である。

図26において、縦電界方式の液晶表示パネル10であれば、ガラス基板（SUB1）は、薄膜トランジスタ（TFT）および画素電極（ITO1）が形成されている基板、ガラス基板（SUB2）はカラーフィルタおよびコモン電極（ITO2）が形成される基板、また、横電界方式の液晶表示パネル10であれば、ガラス基板（SUB1）は、薄膜トランジスタ（TFT）、画素電極（ITO1）および対向電極（CT）が形成されている基板、ガラス基板（SUB2）はカラーフィルタが形成される基板である。

【0120】

FUSは封止材であり、BMはガラス基板（SUB2）に形成された遮光膜、POL1はガラス基板（SUB2）に貼付けられる上偏光板、POL2はガラス基板（SUB1）に貼付けられる下偏光板、VINC1はガラス基板（SUB2）に貼付けられる視野拡大フィルム、VINC2はガラス基板（SUB2）に貼付けられる視野拡大フィルムである。なお、横電界方式の液晶表示パネル10であれば、この視野拡大フィルムは必ずしも必要ではない。

## 【0121】

前記各実施の形態では、ガラス基板（SUB1，SUB2）に視野拡大フィルム（VINC1，VINC2）を貼付けることにより、ユーザが見る角度によりコントラストが変化する液晶表示パネル特有の問題である、視野依存性をなくしている。

なお、視野拡大フィルム（VINC1，VINC2）は、偏光板（POL1，POL2）の外側に貼り付けてもよいが、視野拡大フィルム（VINC1，VINC2）を偏光板（POL1，POL2）とガラス基板（SUB1，SUB2）の間に設けることにより、視野拡大効果を増大することができる。

## 【0122】

LPは冷陰極蛍光灯、LSはランプ反射シート、GLBは導光板、RFSは反射シート、SPSはプリズムシートである。PORは偏光反射板であり、液晶表示パネルの輝度を向上させるために設けられている。

偏光反射板（POR）は特定の偏光軸の光のみを透過し、それ以外の偏光軸の光は反射する性質を持っている。したがって、偏光反射板（POR）の透過する偏光軸を下偏光板（POL2）の偏光軸と合致させることにより、従来下偏光板（POL2）で吸収されていた光も、偏光反射板（POR）と導光板（GLB）との間で行ったり来たりしている間に、下偏光板（POL2）を透過する偏光光に変化されて偏光反射板（POR）から射出されるので、液晶表示パネルのコントラストを向上させることができる。

## 【0123】

枠スペーサ（WSPC）は導光板（GLB）の周辺部を押さえ、枠スペーサ（WSPC）のフックをモールドケース（ML）の穴に差し込むことにより、導光板（GLB）をモールドケース（ML）にしっかりと固定し、導光板（GLB）が液晶表示パネルに衝突するのを防いでいる。

さらに、拡散シート（SPS）、プリズムシート（PRS）および偏光反射板（POR）も、枠スペーサ（WSPC）により抑えつけられているので、拡散シート（SPS）、プリズムシート（PRS）および偏光反射板（POR）が歪むことなく、バックライトユニットを液晶表示モジュールに実装することができる。

【0124】

GC1は枠スペーサ(WSPC)とガラス基板(SUB1)との間に設けられるゴムクッションである。LPC3は冷陰極蛍光灯(LP)に駆動電圧を供給するランプケーブルであり、実装スペースを取らないようにフラットケーブルとなり枠スペーサ(WSPC)とランプ反射シート(LS)との間に設けられる。

このランプケーブル(LPC3)は両面テープによりランプ反射シート(LS)貼り付けられているので、冷陰極蛍光灯(LP)を交換するときにランプ反射シート(LS)とともに交換することができ、ランプケーブル(LPC3)をランプ反射シート(LS)から外す必要がなく、冷陰極蛍光灯(LP)の交換が容易である。

【0125】

OLはOリングで、冷陰極蛍光灯(LP)とランプ反射シート(LS)との間のクッションの働きをする。Oリング(OL)は冷陰極蛍光灯(LP)の発光輝度が低下しないように透明な合成樹脂材料で構成される。

また、Oリング(OL)は冷陰極蛍光灯(LP)から高周波の電流が漏れだすのを防止するため、誘電率の低い絶縁材料で構成される。さらに、Oリング(OL)は冷陰極蛍光灯(LP)が導光板(GLB)と衝突するのを防止するクッションの働きもする。

【0126】

IC1は液晶表示パネル10のドレイン信号線(D)に映像信号電圧を供給するドレインドライバ130を構成する半導体チップであり、ガラス基板(SUB1)上の実装されている。

この半導体チップ(IC1)はガラス基板(SUB1)の一方の辺にのみ実装されているので、半導体チップ(IC1)が実装された辺と対向する辺の額縁領域を小さくすることができる。

また、冷陰極蛍光灯(LP)およびランプ反射シート(LS)は、ガラス基板(SUB1)の半導体チップ(IC1)が実装された部分の下側に重ねて配置されるので、冷陰極蛍光灯(LP)およびランプ反射シート(LS)を、液晶表示

モジュール内にコンパクトに収納することができる。

【0127】

IC2は液晶表示パネル10のゲート信号線(G)に走査駆動電圧を供給するゲートドライバ140を構成する半導体チップであり、ガラス基板(SUB1)上の実装されている。

この半導体チップ(IC2)もガラス基板(SUB1)の一方の辺にのみ実装されているので、半導体チップ(IC2)が実装された辺と対向する辺の額縁領域を小さくすることができる。

【0128】

FPC1はゲート信号線側フレキシブルプリント基板で、ガラス基板(SUB1)の外部端子に異方性導電膜により接続され、半導体チップ(IC2)に電源および駆動信号を供給する。

FPC2はドレイン信号線側フレキシブルプリント基板で、ガラス基板(SUB1)の外部端子に異方性導電膜により接続され、半導体チップ(IC1)に電源および駆動信号を供給する。

フレキシブルプリント基板(FPC1, FPC2)上には抵抗、コンデンサ等のチップ部品(EP)が実装されている。

【0129】

液晶表示パネル10の額縁領域を縮小するために、フレキシブルプリント基板(FPC2)はランプ反射シート(LS)を包むように折り曲げられ、フレキシブルプリント基板(FPC2)の一部(b部)はバックライトユニットの裏のモールドケース(ML)と第2のシールドケースとの間に挟まれて固定される。

そのため、モールドケース(ML)には、フレキシブルプリント基板(FPC2)上に実装されるチップ部品(EP)のスペーサを確保するための切り抜きが設けられている。

【0130】

フレキシブルプリント基板(FPC2)は、折り曲げを容易とするための薄い厚さの部分(a部)と、多層配線のための厚さの厚い部分(b部)とで構成される。

また、前記各実施の形態では、下側シールドケースを第1の下側シールドケース（L F 1）と第2の下側シールドケース（L F 2）とで構成し、当該2つの下側シールドケース（L F 1， L F 2）で液晶表示モジュールの裏面を覆うようにしたので、第2の下側シールドケース（L F 2）を取り外せばランプ反射シート（L S）を露出させることができるので、冷陰極蛍光灯（L P）の交換が容易である。

#### 【0131】

P C Bは表示制御装置110や電源回路120が搭載されるインタフェース基板で、このインタフェース基板（P C B）も多層のプリント基板で構成される。

前記各実施の形態では、液晶表示パネル10の額縁領域を小さくするために、インタフェース基板（P C B）は、フレキシブルプリント基板（F P C 1）の下に重ねて配置され両面テープ（B A T）でガラス基板（S U B 1）に接着されている。

#### 【0132】

インタフェース基板（P C B）にはコネクタ（C T R 3）とコネクタ（C T R 4）が設けられ、コネクタ（C T R 4）はフレキシブルプリント基板（F P C 2）のコネクタ（C T 4）と電氣的に接続される。

同様に、コネクタ（C T R 3）はフレキシブルプリント基板（F P C 1）のコネクタ（C T 3）と電氣的に接続される。

#### 【0133】

図27は、液晶表示パネル10の周辺にフレキシブルプリント配線基板（F P C 1）と、折り曲げる前のフレキシブルプリント配線基板（F P C 2）を実装した状態を示す図である。

また、図28は、図27において、液晶表示パネル10とフレキシブルプリント配線基板（F P C 1， F P C 2）とが接続されている部分を拡大して示す図である。

なお、図27、図28において、T C O Nは表示制御装置110を構成する半導体チップであり、また、D T Mはドレイン端子、G T Mはゲート端子である。



【0134】

図25、図26において、SUBは補強板であり、下側シールドケース(LF1)とコネクタ(CT4)との間に配置され、コネクタ(CT4)がコネクタ(CTR4)から外れるのを防止している。SPC4はシールドケース(SHD)と上偏光板(POL1)との間に設けられるスペーサであり、腐食布からなり接着剤によりシールドケース(SHD)に貼り付けられている。

【0135】

前記各実施の形態では、上偏光板(POL1)と視野拡大フィルム(VINC1)とをガラス基板(SUB2)から引出し、上偏光板(POL1)と視野拡大フィルム(VINC1)とをシールドケース(SHD)で押さえている。

この構成により、前記各実施の形態では額縁領域を小さくしても十分な強度を確保している。

【0136】

DSPCはドレインスペーサであり、シールドケース(SHD)とガラス基板(SUB1)との間に設けられ、シールドケース(SHD)とガラス基板(SUB1)とが衝突するのを防止している。

また、ドレインスペーサ(DSPC)は半導体チップ(IC1)を覆うように設けられるので、半導体チップ(IC1)の部分には切り欠き(NOT)が設けられる。

これにより、シールドケース(SHD)やドレインスペーサ(DSPC)が半導体チップ(IC1)に衝突することがなくなる。

また、ドレインスペーサ(DSPC)は、ガラス基板(SUB1)の外部接続端子上にあるフレキシブルプリント基板(FPC2)も押さえているので、ガラス基板(SUB1)からフレキシブルプリント基板(FPC2)が剥離するのを防止している。FUSは液晶表示パネルの液晶封入口を封止する封止材である。

【0137】

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0138】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0139】

(1) 本発明によれば、半導体集積回路装置において、入出力端子間に低耐圧トランジスタのソース・ドレイン間耐圧以上の電圧が印加されるスイッチ回路のスイッチング素子として、低耐圧トランジスタを使用することが可能となり、スイッチ回路のスイッチング素子として、ソース・ドレイン間耐圧が、低耐圧トランジスタのソース・ドレイン間耐圧以上の高耐圧トランジスタを使用する場合に比して、スイッチング回路が搭載される半導体チップのチップサイズを小さくすることが可能となる。

【0140】

(2) 本発明によれば、液晶表示装置において、入出力端子間に、低耐圧トランジスタのソース・ドレイン間耐圧以上の電圧が印加されるスイッチ部のスイッチング素子として、低耐圧トランジスタを使用し、正極性の映像信号電圧および負極性の映像信号電圧を一对の映像信号線に出力することが可能となり、スイッチ部のスイッチング素子として、ソース・ドレイン間耐圧が、低耐圧トランジスタのソース・ドレイン間耐圧以上の高耐圧トランジスタを使用する場合に比して、映像信号線駆動手段のチップ中に占めるスイッチ部の面積を小さくすることが可能となる。

【0141】

(3) 本発明によれば、液晶表示装置において、映像信号線駆動手段のチップサイズを小さくすることが可能となり、それにより、液晶表示装置のコストを低減し、信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】

図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】

図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】

図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図5】

図1に示すドレインドライバの一例の概略構成を示すブロック図である。

【図6】

出力回路の構成を中心に、図5に示すドレインドライバの構成を説明するためのブロック図である。

【図7】

従来例のスイッチ部(2)の一スイッチ回路の回路構成を示す回路図である。

【図8】

本実施の形態1のスイッチ部(2)一スイッチ回路の回路構成を示す回路図である。

【図9】

図8に示すPMOSトランジスタ(PM1, PM21)およびNMOSトランジスタ(NM2, NM22)の断面構造を示す要部断面図である。

【図10】

図8に示すPMOSトランジスタ(PM1, PM21)およびNMOSトランジスタ(NM2, NM22)の製造工程の概略を説明するための要部断面図である。

【図11】

図8に示すPMOSトランジスタ(PM1, PM21)およびNMOSトランジスタ(NM2, NM22)の製造工程の概略を説明するための要部断面図である。

【図12】

本実施の形態1の高電圧用デコーダ回路の一例の回路構成を示す回路図である。

【図13】

図12に示す第2階調電圧生成回路の回路構成の一例を示す回路図である。

【図14】

本実施の形態1の高電圧用デコーダ回路の他の例の回路構成を示す回路図である。

【図15】

図14に示す高電圧用デコーダ回路を構成するMOSトランジスタのゲート幅を説明するための模式図である。

【図16】

本実施の形態1の低電圧用デコーダ回路の一例の回路構成を示す回路図である。

【図17】

本実施の形態2のスイッチ部(2)の一スイッチ回路の回路構成を示す回路図である。

【図18】

図17に示すPMOSトランジスタ(PM1, PM21)およびNMOSトランジスタ(NM2, NM22)の断面構造を示す要部断面図である。

【図19】

本実施の形態3のスイッチ部(2)の一スイッチ回路の回路構成を示す回路図である。

【図20】

図19に示すPMOSトランジスタ(PM1, PM21)およびNMOSトランジスタ(NM2, NM22)の断面構造を示す要部断面図である。

【図21】

本実施の形態3のスイッチ部(2)の一スイッチ回路の回路構成を示す回路図である。

【図22】

図21に示すPMOSトランジスタ(PM1, PM21)およびNMOSトラ

ンジスタ（NM2，NM22）の断面構造を示す要部断面図である。

【図23】

前記各実施の形態の液晶表示モジュールの組立完成図で、液晶表示パネルの表示面側から見た正面図、前側面図、右側面図、左側面図および後側面図である。

【図24】

前記各実施の形態の液晶表示モジュールの組立完成図で、液晶表示パネルの裏面側から見た図である。

【図25】

図23に示すI-I線で切断した断面図、および、II-II線で切断した断面図である。

【図26】

図23に示すIII-III線で切断した断面図、および、IV-IV線で切断した断面図である。

【図27】

前記各実施の形態の液晶表示モジュールにおいて、液晶表示パネルの周辺にフレキシブルプリント配線基板（FPC1）と、折り曲げる前のフレキシブルプリント配線基板を実装した状態を示す図である。

【図28】

図27において、液晶表示パネルとフレキシブルプリント配線基板（FPC1，FPC2）とが接続されている部分を拡大して示す図である。

【図29】

液晶層に印加する電圧と透過率との関係を示すグラフである。

【図30】

ドット反転法における、画素電極に印加される駆動電圧と、コモン電極に印加される駆動電圧との関係を示す図である。

【符号の説明】

10…液晶表示パネル（TFT-LCD）、20…p型半導体基板、21，21a，21b，23，23a，23b…nウェル、22，22a，22b…pウェル、24a，24b，24c，24d，24e，24f…n型半導体領域、2

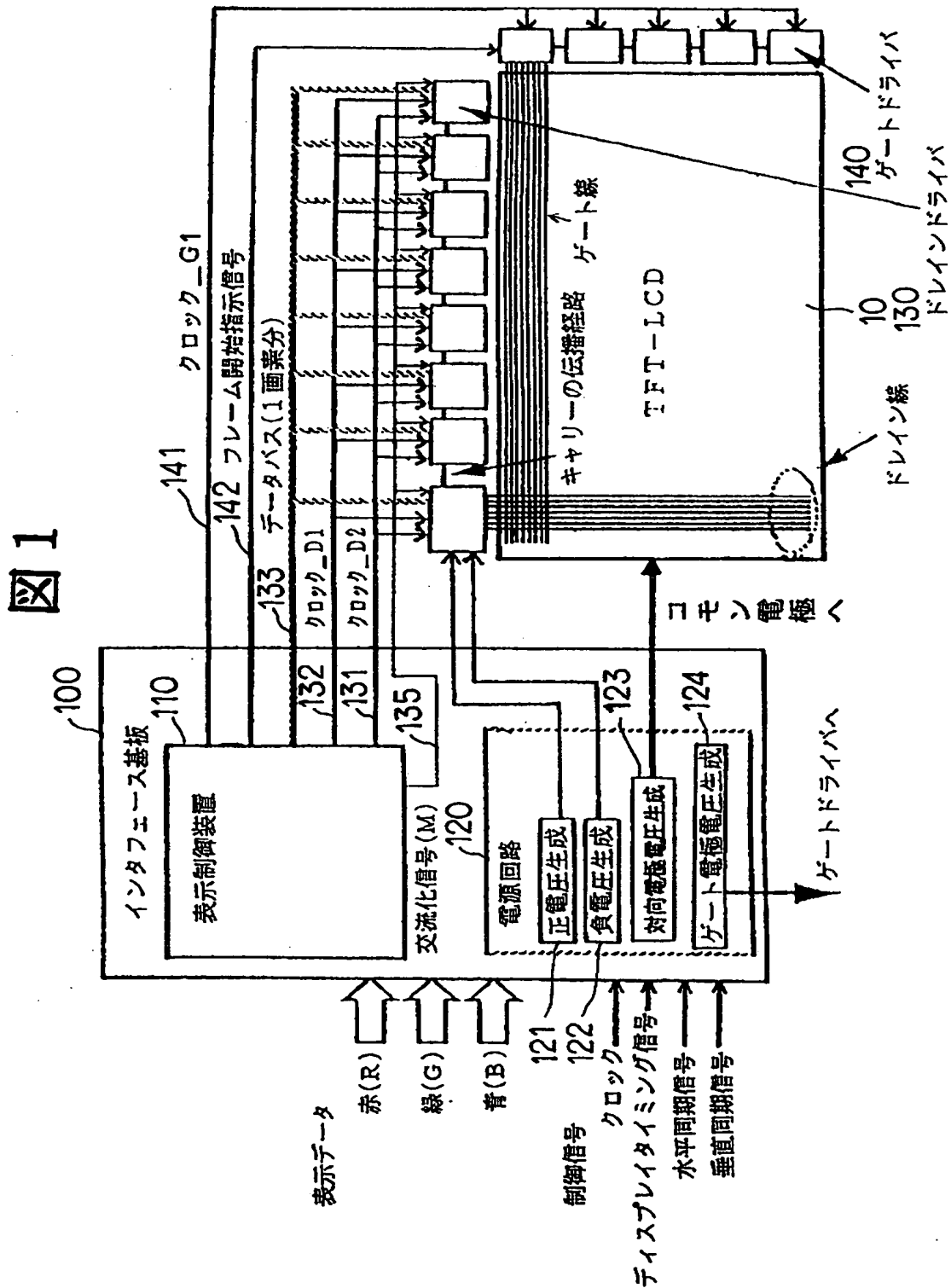
5 a, 25 b, 25 c, 25 d, 25 e, 25 f…p型半導体領域、26 a, 26 b, 26 c, 27 a, 27 b, 27 c…ゲート電極、30…フィールド絶縁膜、31…ゲート酸化膜、32…ポリシリコン、33, 34…マスク、35…層間絶縁膜、36…接続孔、37…アルミ配線、100…インタフェース部、110…表示制御装置、120…電源回路、121, 122…電圧生成回路、123…コモン電極電圧生成回路、124…ゲート電極電圧生成回路、130…ドレインドライバ、131, 132, 135, 141, 142…信号線、133…表示データのバスライン、140…ゲートドライバ、151 a, 151 b…階調電圧生成回路、152…制御回路、153…シフトレジスタ回路、154…入力レジスタ回路、155…ストレージレジスタ回路、156…レベルシフト回路、157…出力回路、158 a, 158 b…電圧バスライン、261…デコーダ部、262, 264…スイッチ部、263…アンプ回路対、265…データラッチ部、271…高電圧用アンプ回路、272…低電圧用アンプ回路、278, 279, 301, 311, 312…デコーダ回路、302…マルチプレクサ、303…第2階調電圧生成回路、D…ドレイン信号線（映像信号線または垂直信号線）、G…ゲート信号線（走査信号線または水平信号線）、ITO1, CX…画素電極、ITO2…コモン電極、CT…対向電極、CL…対向電極信号線、TFT…薄膜トランジスタ、CLC, Cpix…液晶容量、CSTG…保持容量、CADD…付加容量、Cstg…蓄積容量、ML…モールドケース、SHD…シールドケース、LCT…接続コネクタ、CT1…インタフェースコネクタ、CT3, CT4, CTR3, CTR4…コネクタ、LCP1, LCP2, LPC3…ランプケーブル、LP…冷陰極蛍光灯、LF1, LF2…下側シールドケース、WSPC…枠スペーサ、SUB1, SUB2…ガラス基板、FUS…封止材、BM…遮光膜、POL1, POL2…偏光板、VINC1, VINC2…視野拡大フィルム、LS…ランプ反射シート、GLB…導光板、RFS…反射シート、SPS…プリズムシート、POR…偏光反射板、GC1…ゴムクッション、OL…Oリング、IC1, IC2, TCON…半導体チップ、FPC1, FPC2…フレキシブルプリント基板、EP…抵抗、コンデンサ等のチップ部品、PCB…インタフェース基板、BAT…両面テープ、SUB…補強板、SPC4…スペーサ、DSPC…ドレインス

ペーサ、S01, S02, S11, S12, S21, S22, SS1…スイッチ素子、PM…PMOSトランジスタ、NM…MMOSトランジスタ、C01, C02, C03, C04…コンデンサ、SG1~SG3…スチッチ制御回路、NAND…ナンド回路、AND…アンド回路、NOR…ノア回路、INV, HINV…インバータ。

【書類名】

図面

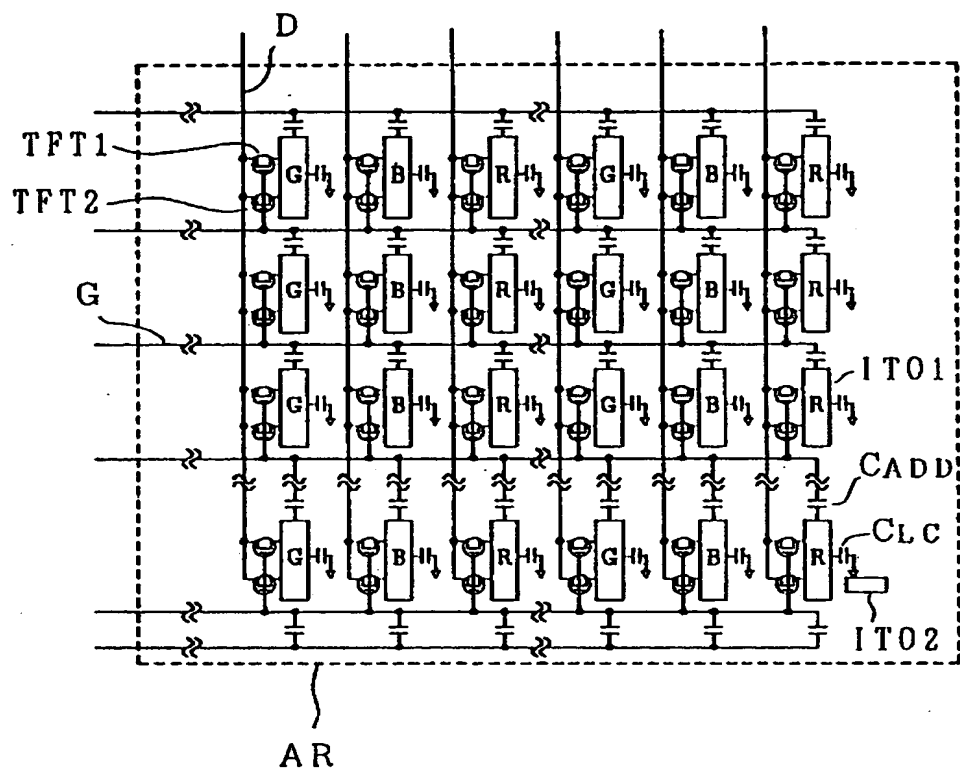
【図1】





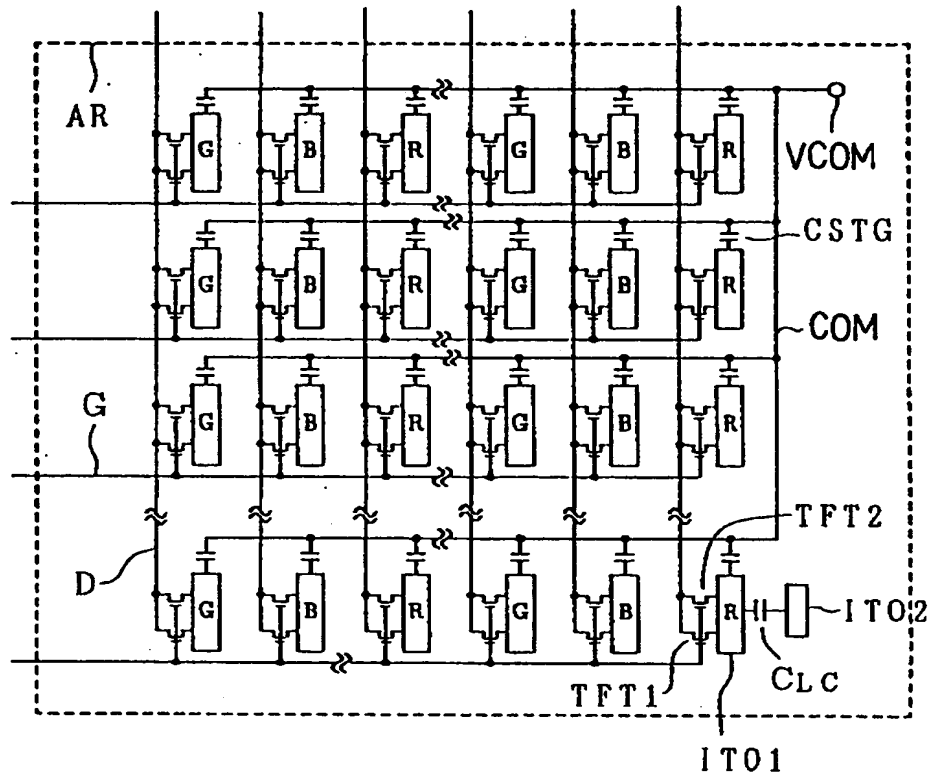
【図2】

図 2



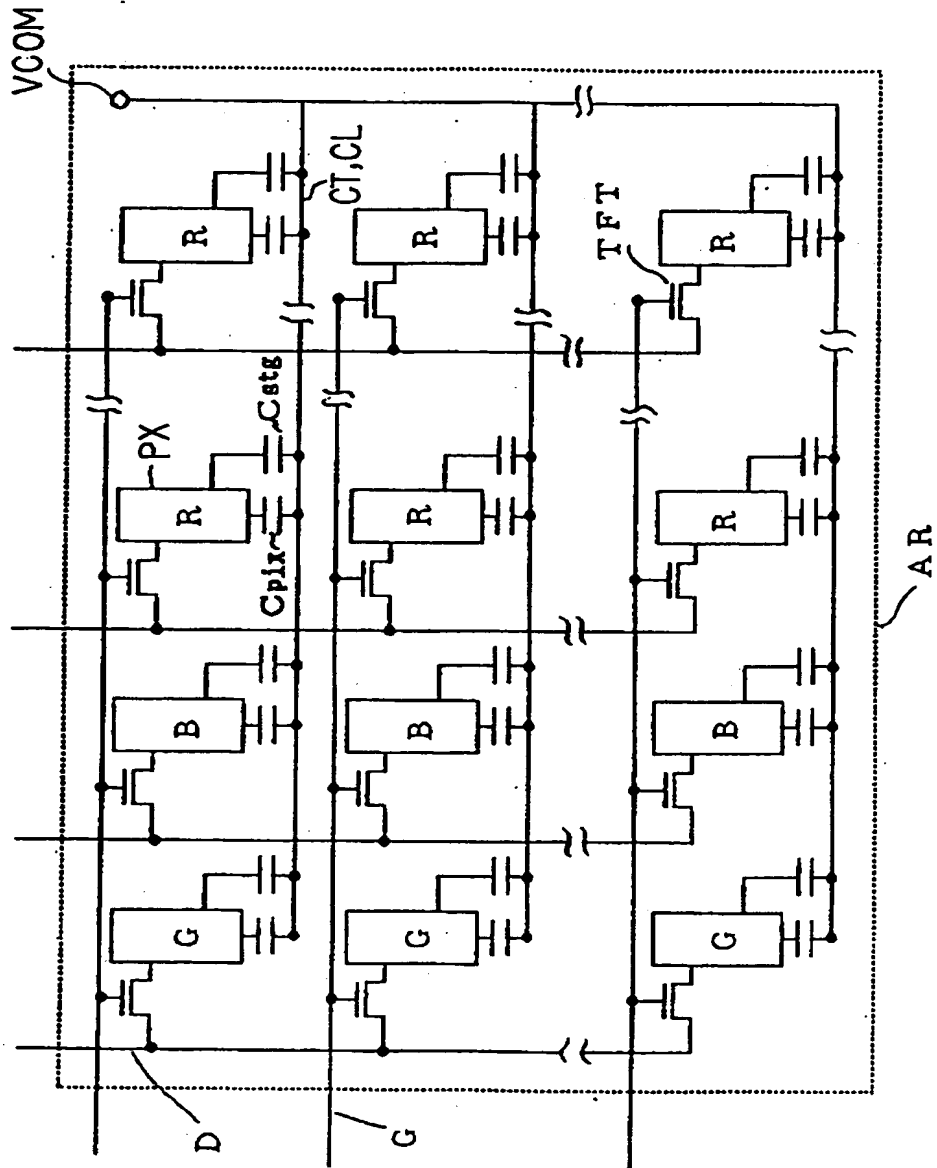
【図3】

図 3

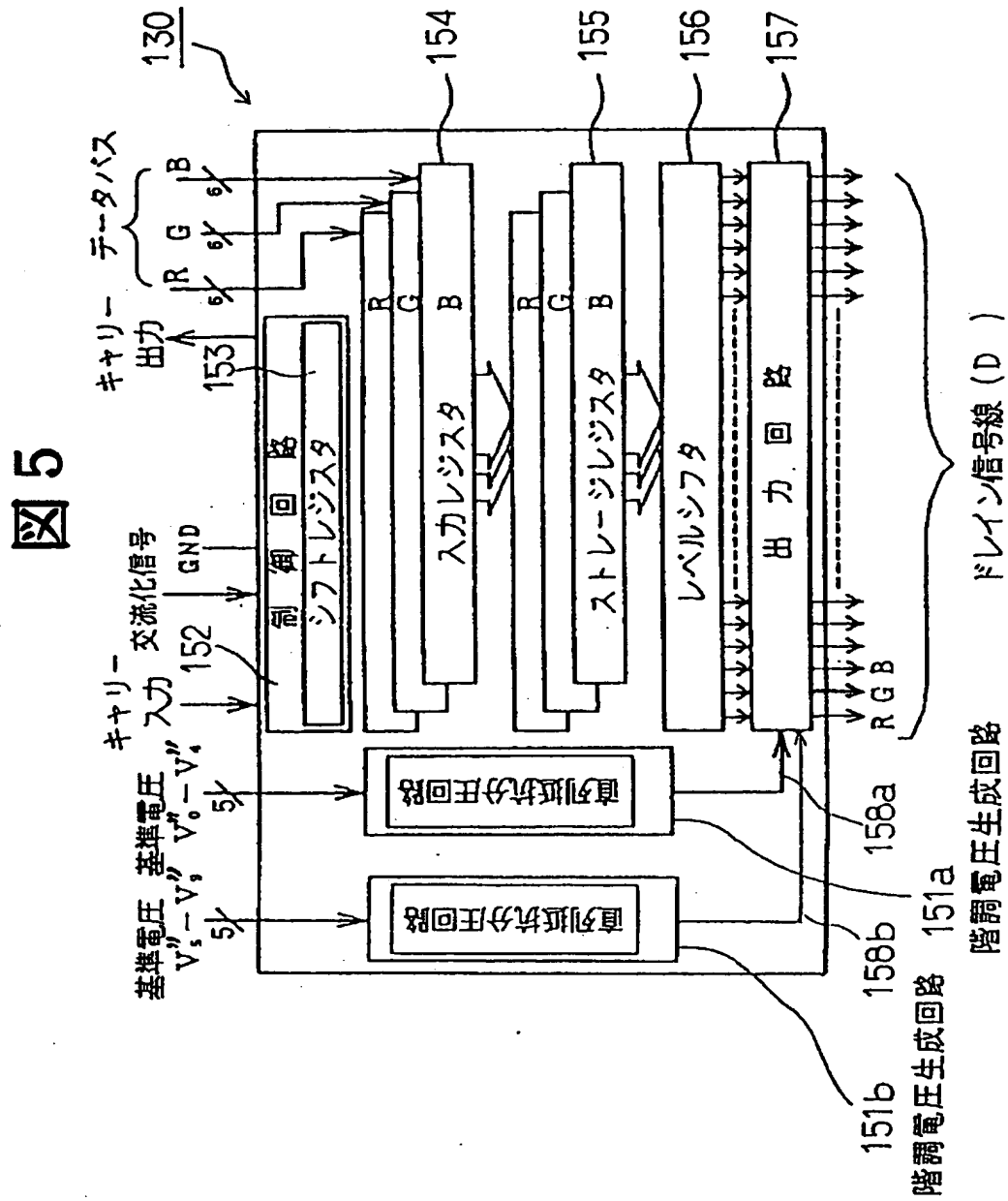


【図4】

図4

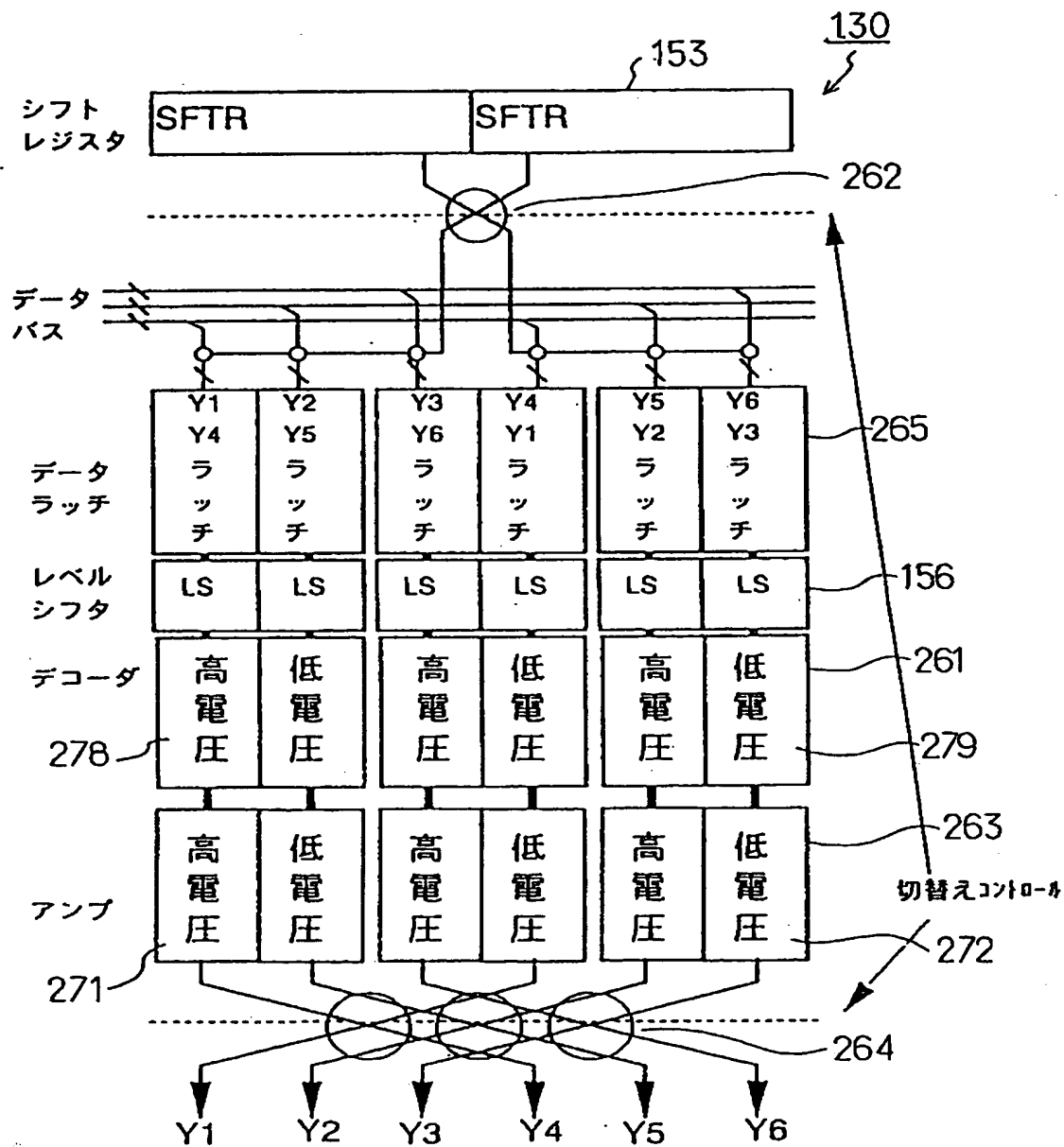


【図 5】

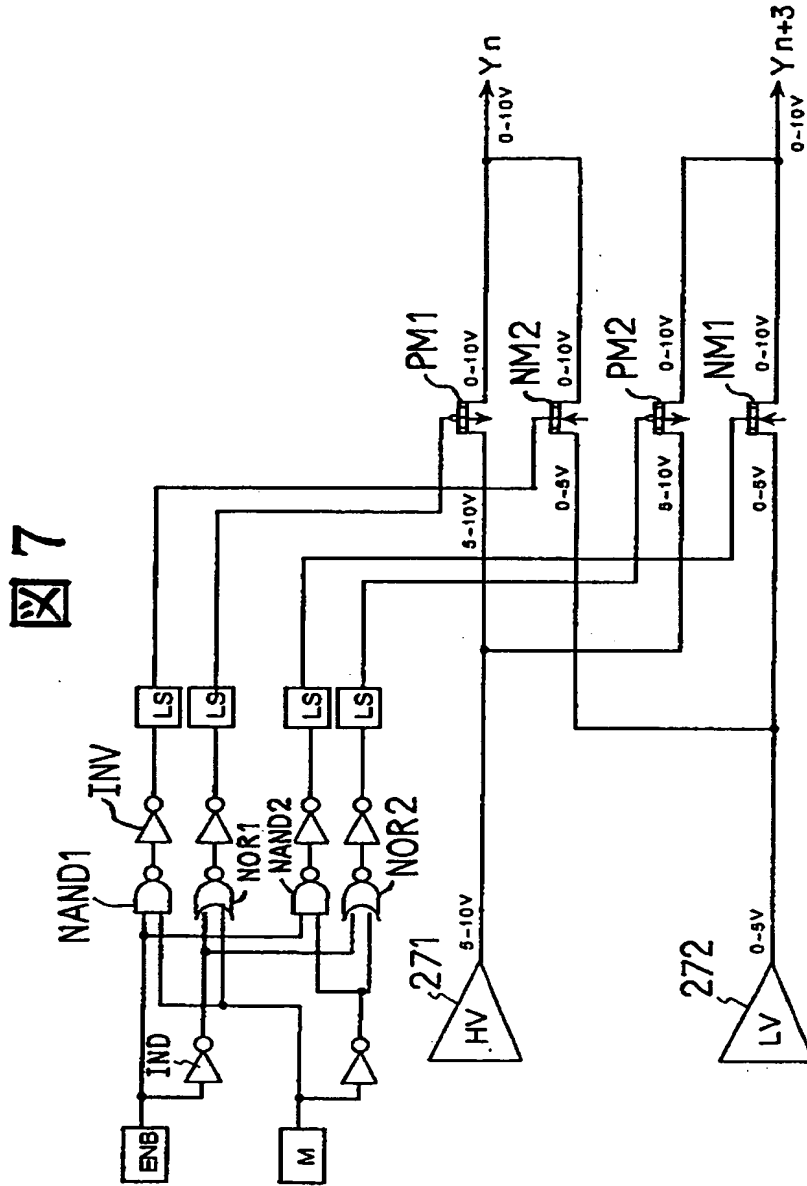


【図 6】

**図 6**

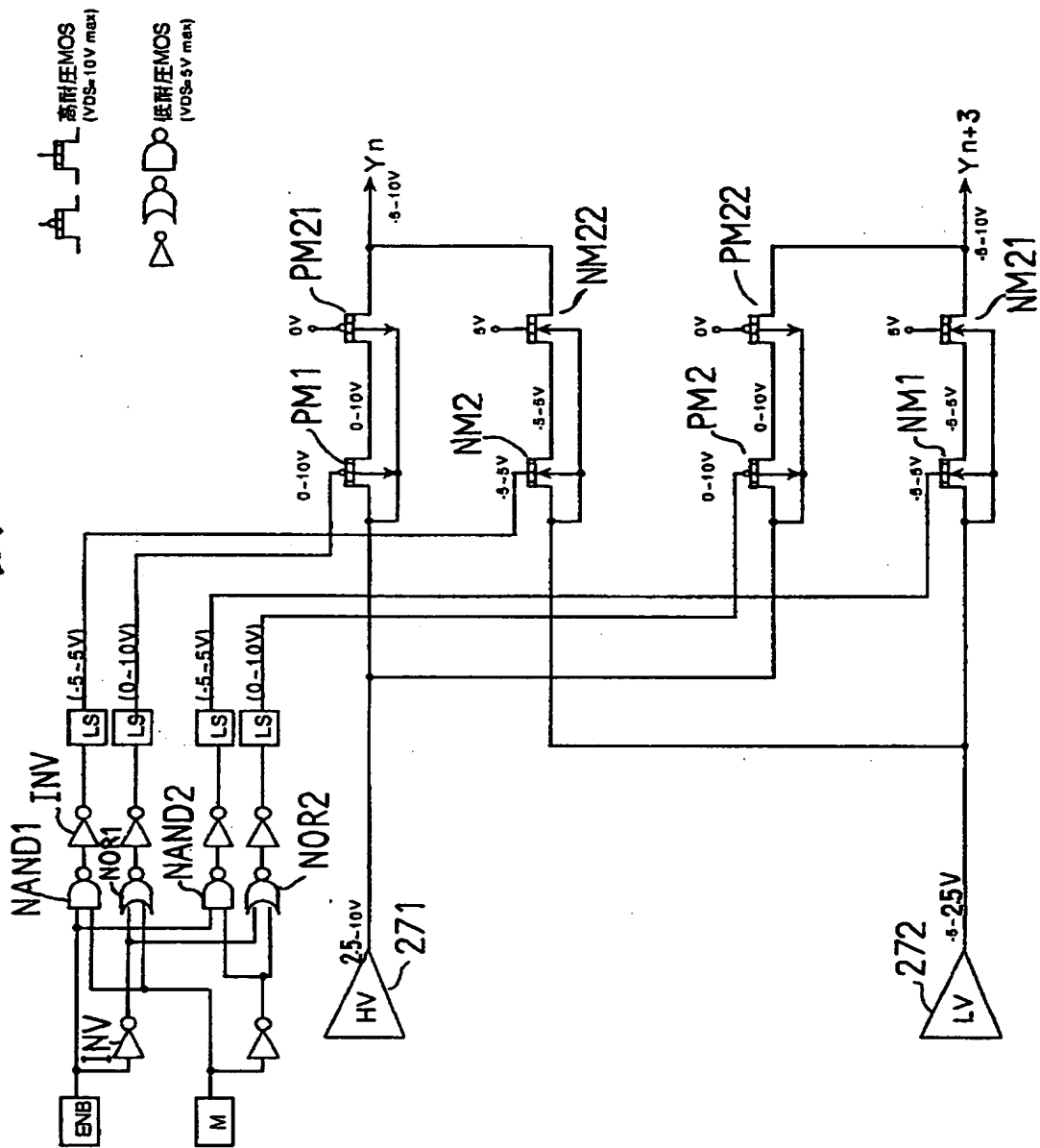


【図7】



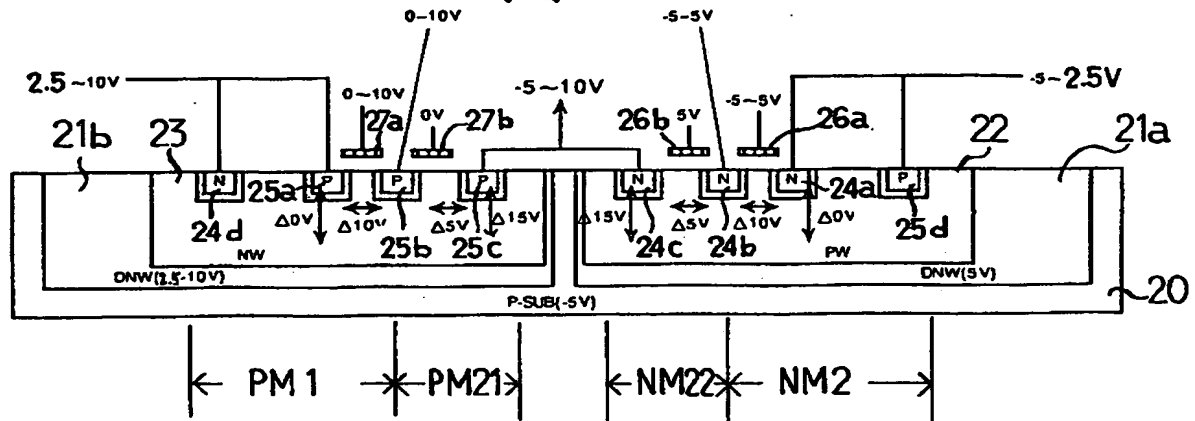
【图 8】

图 8



【図9】

図9

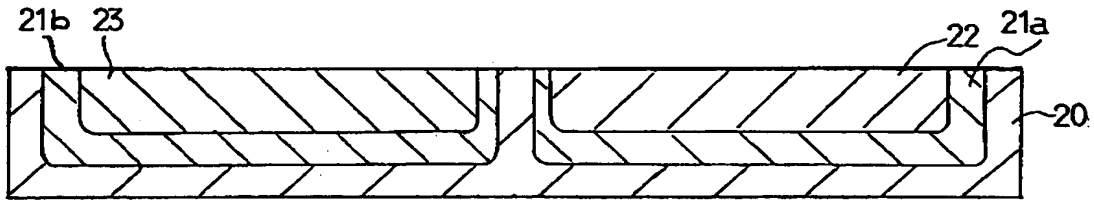




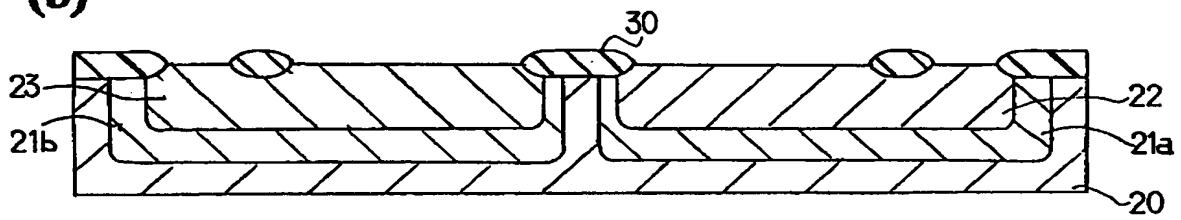
【図10】

# 図 10

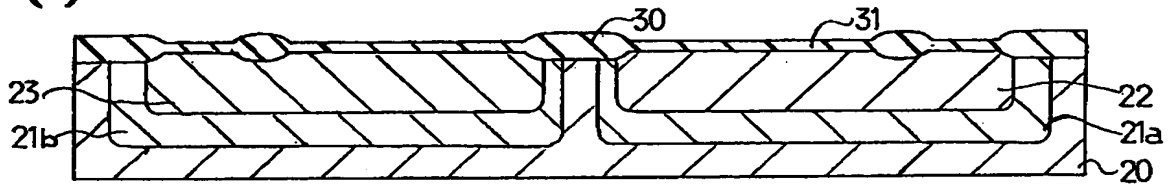
(a)



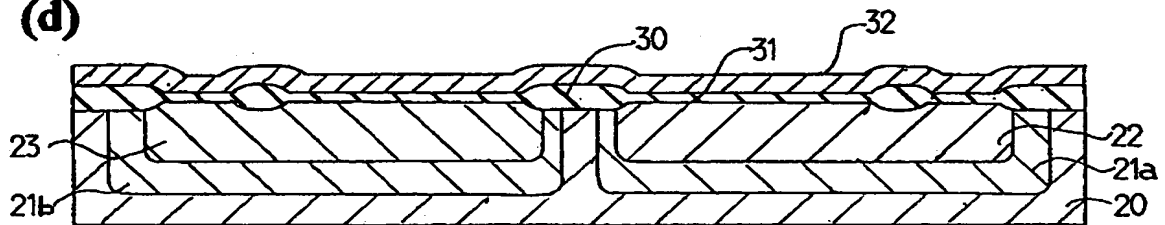
(b)



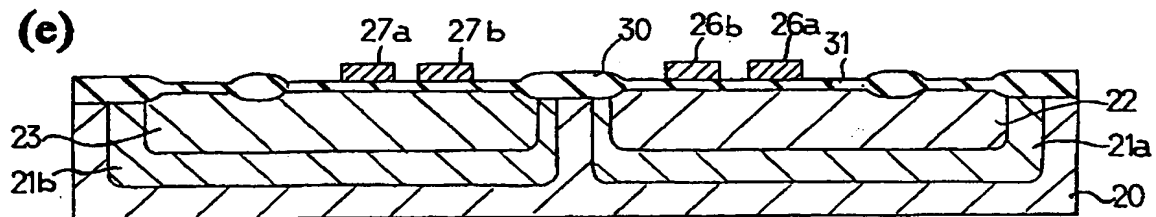
(c)



(d)

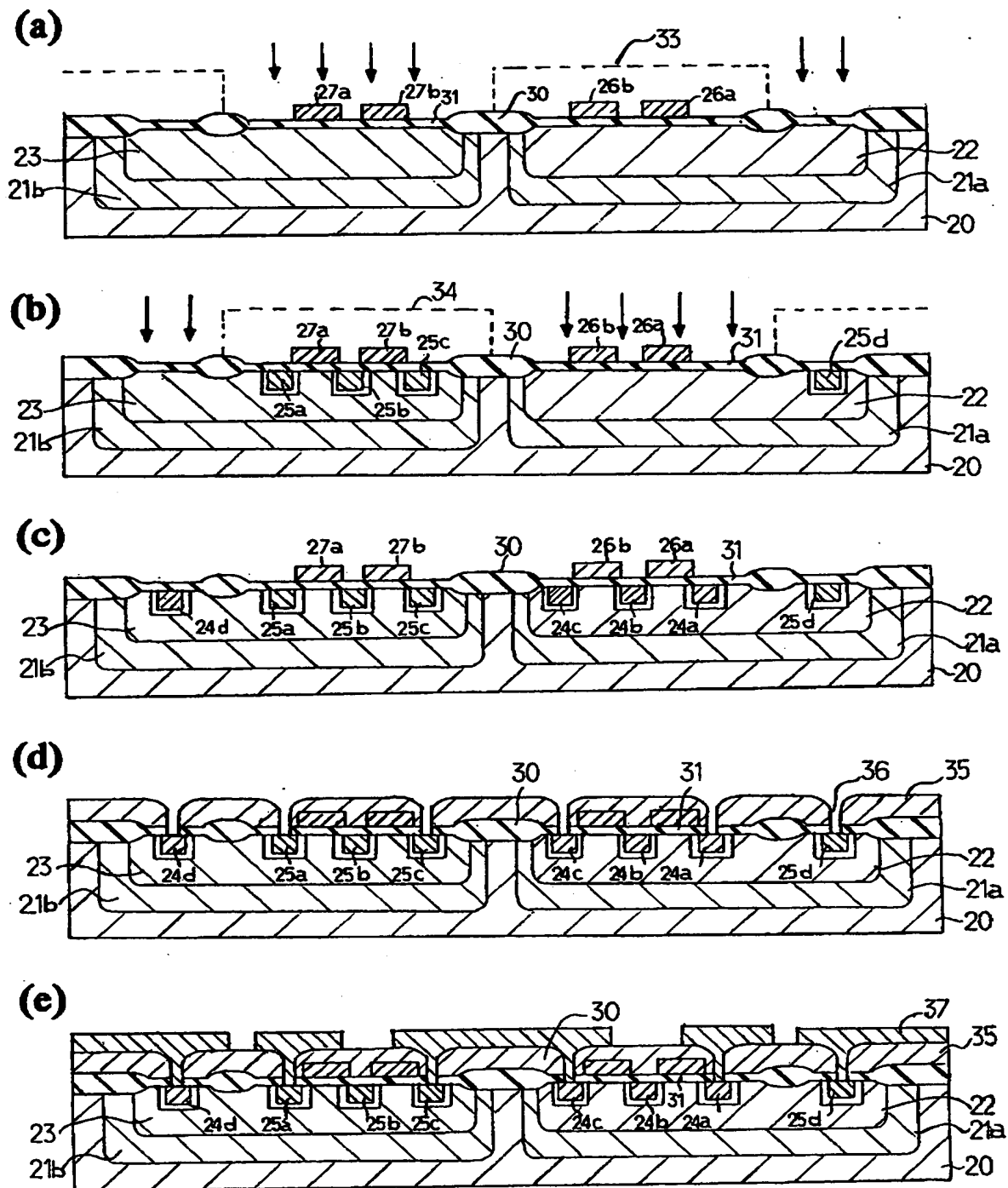


(e)



【図11】

図 11



【図12】

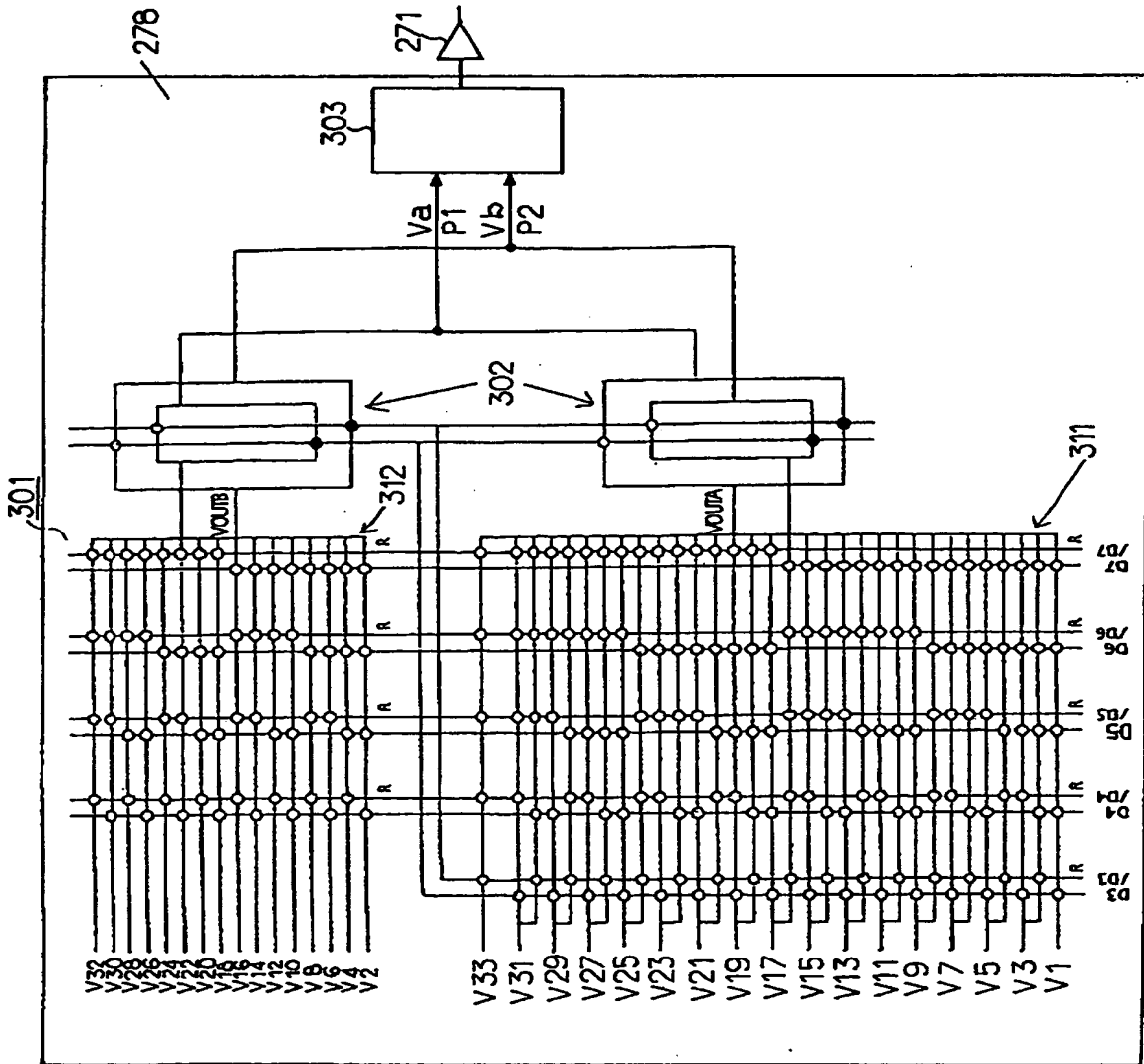
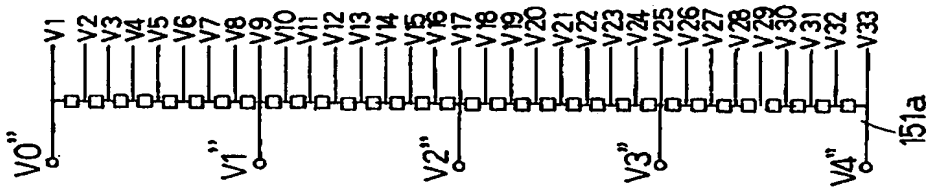
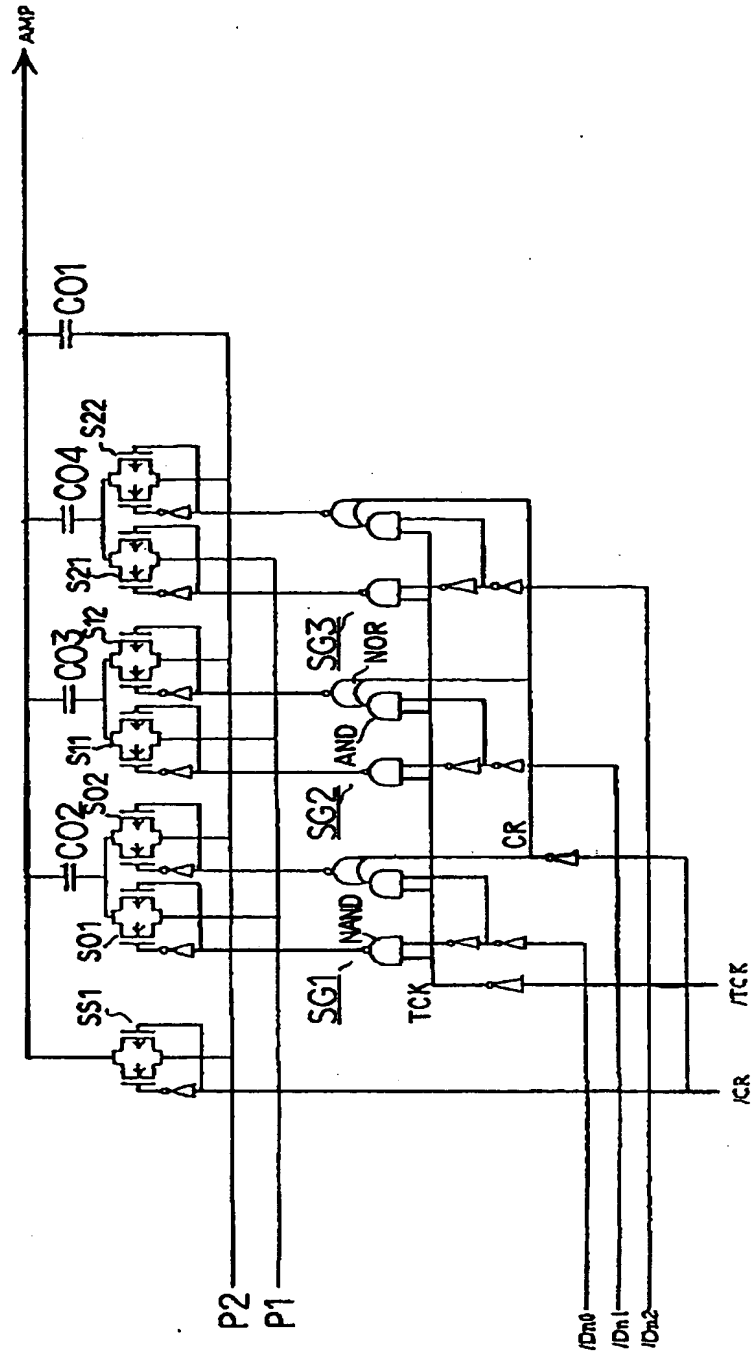


図 12

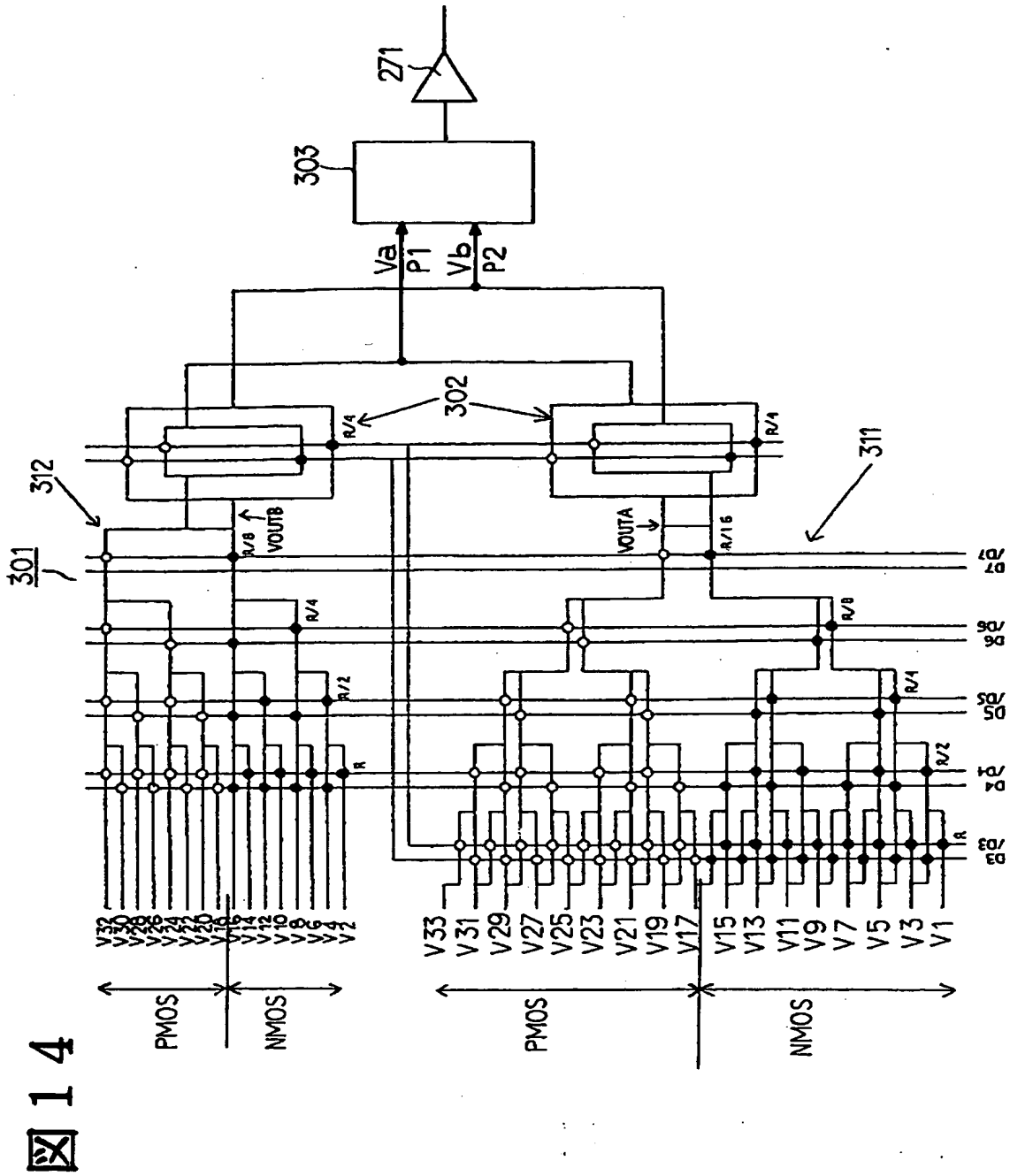


【図 13】

図 13



【図 14】



【图15】

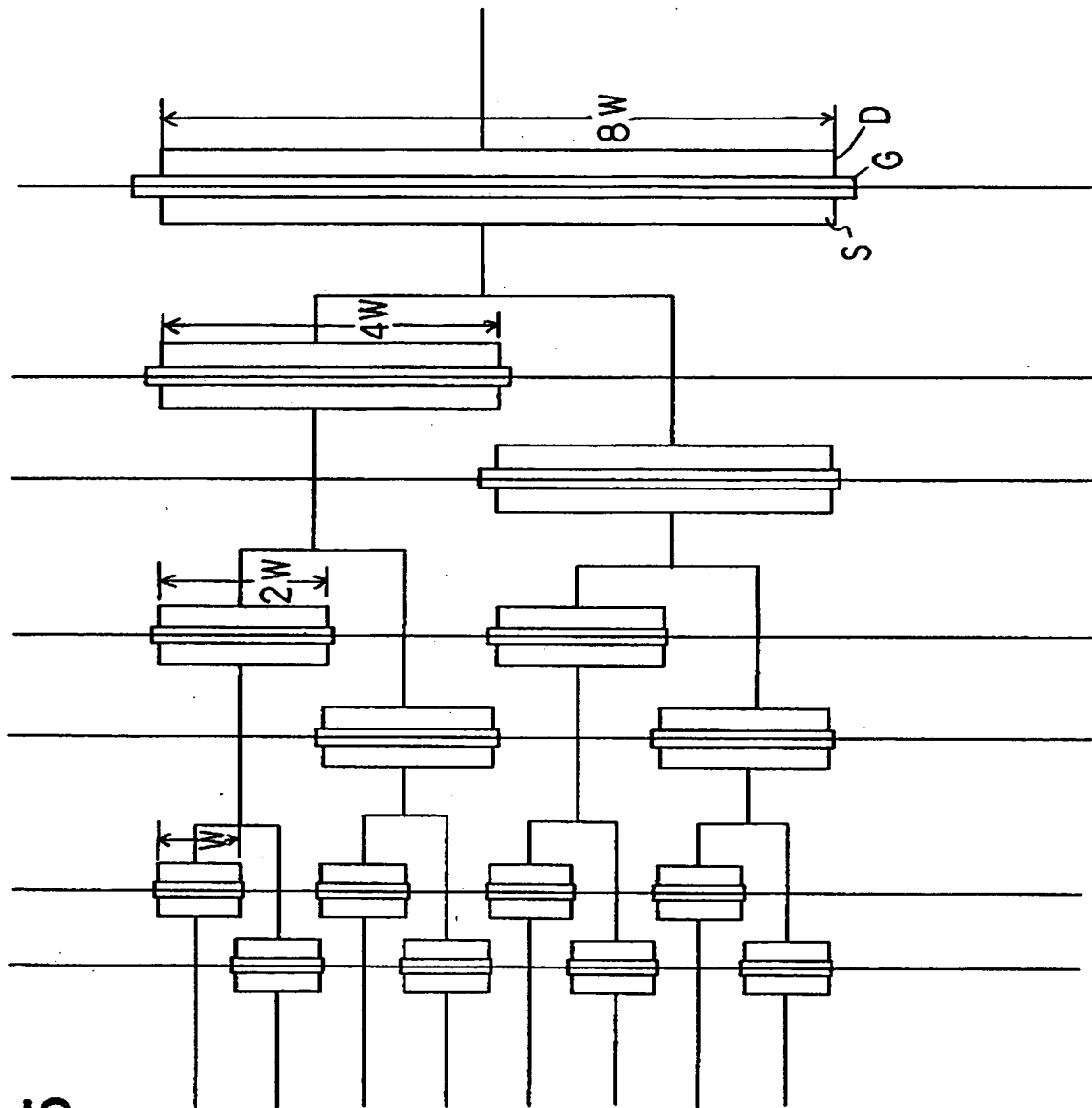


图15

【図 16】

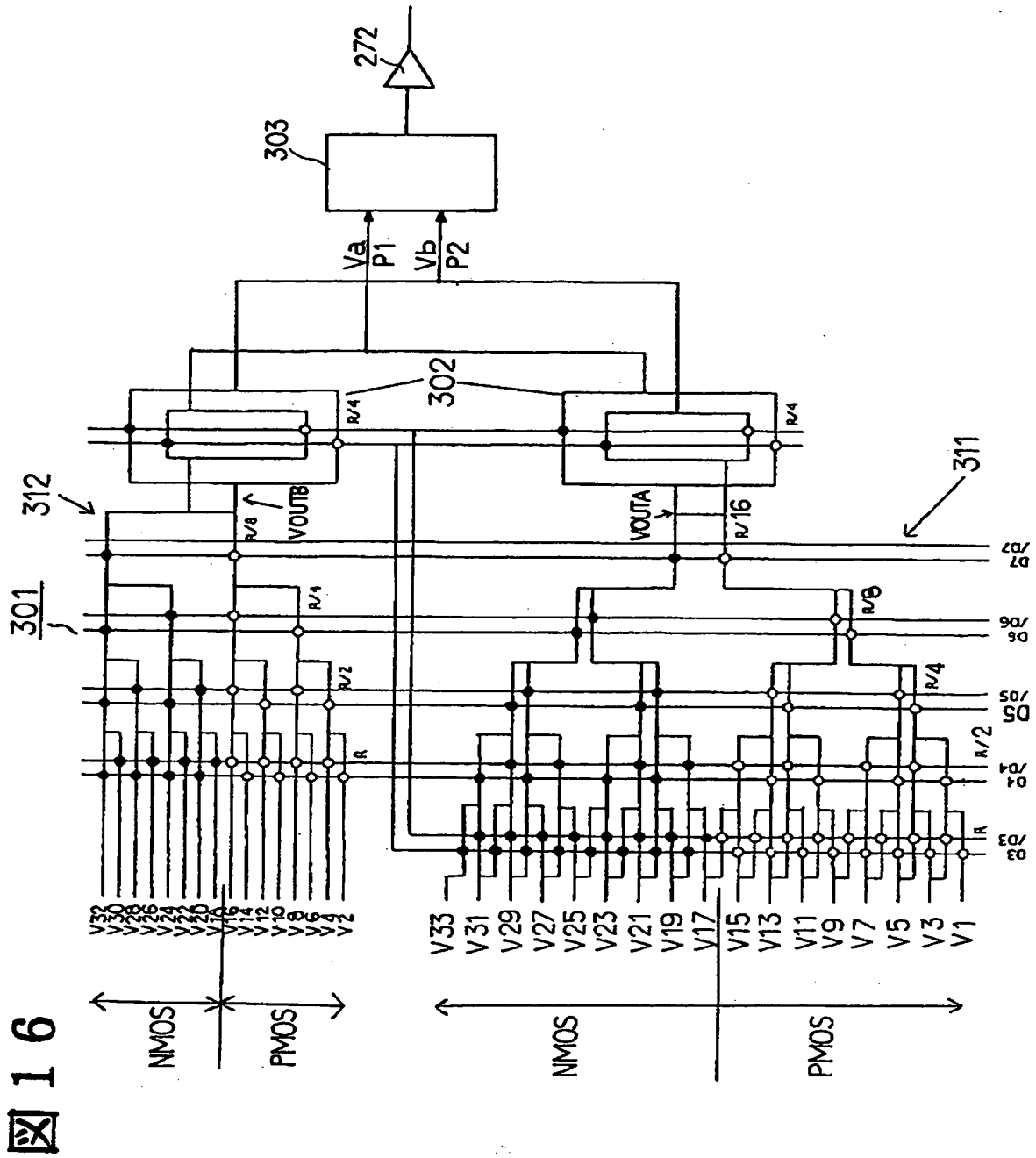
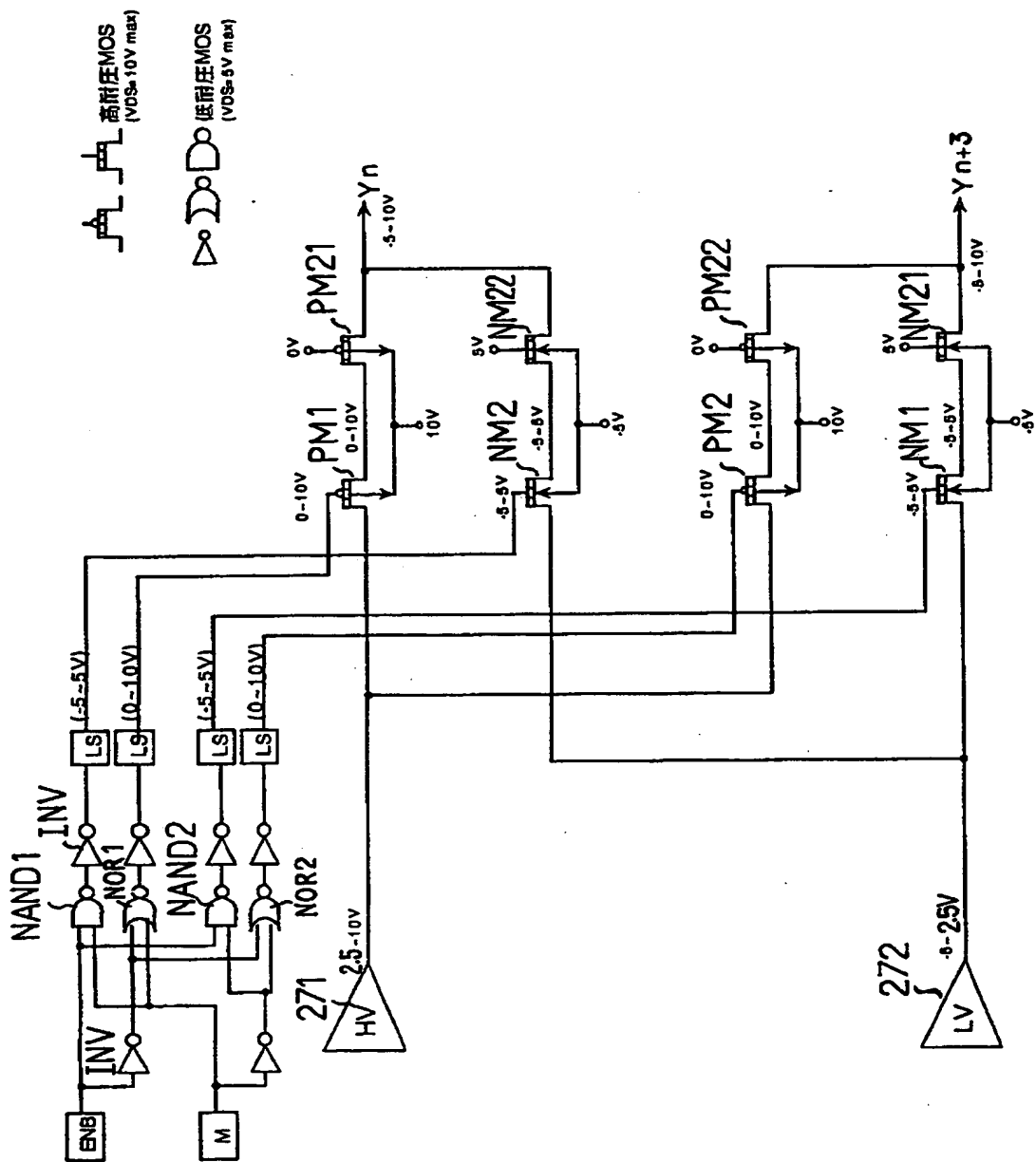


図 16

【图 17】

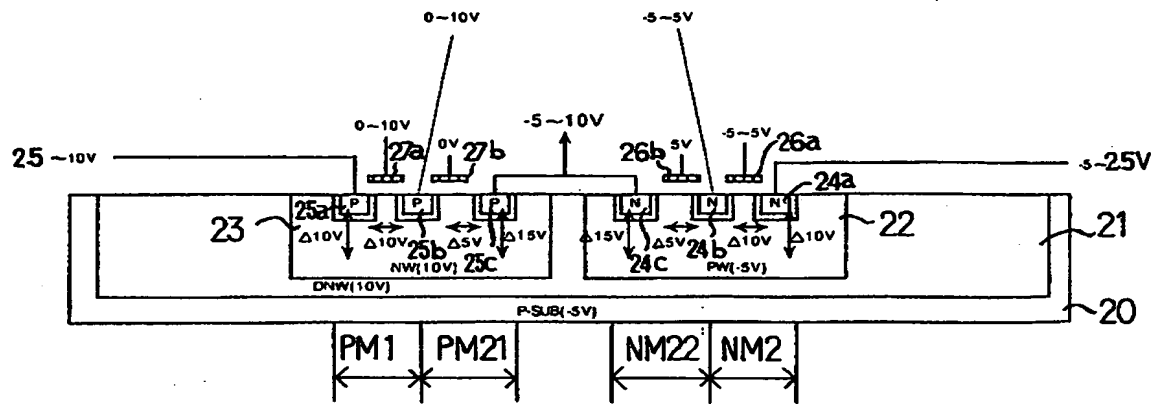
图 17





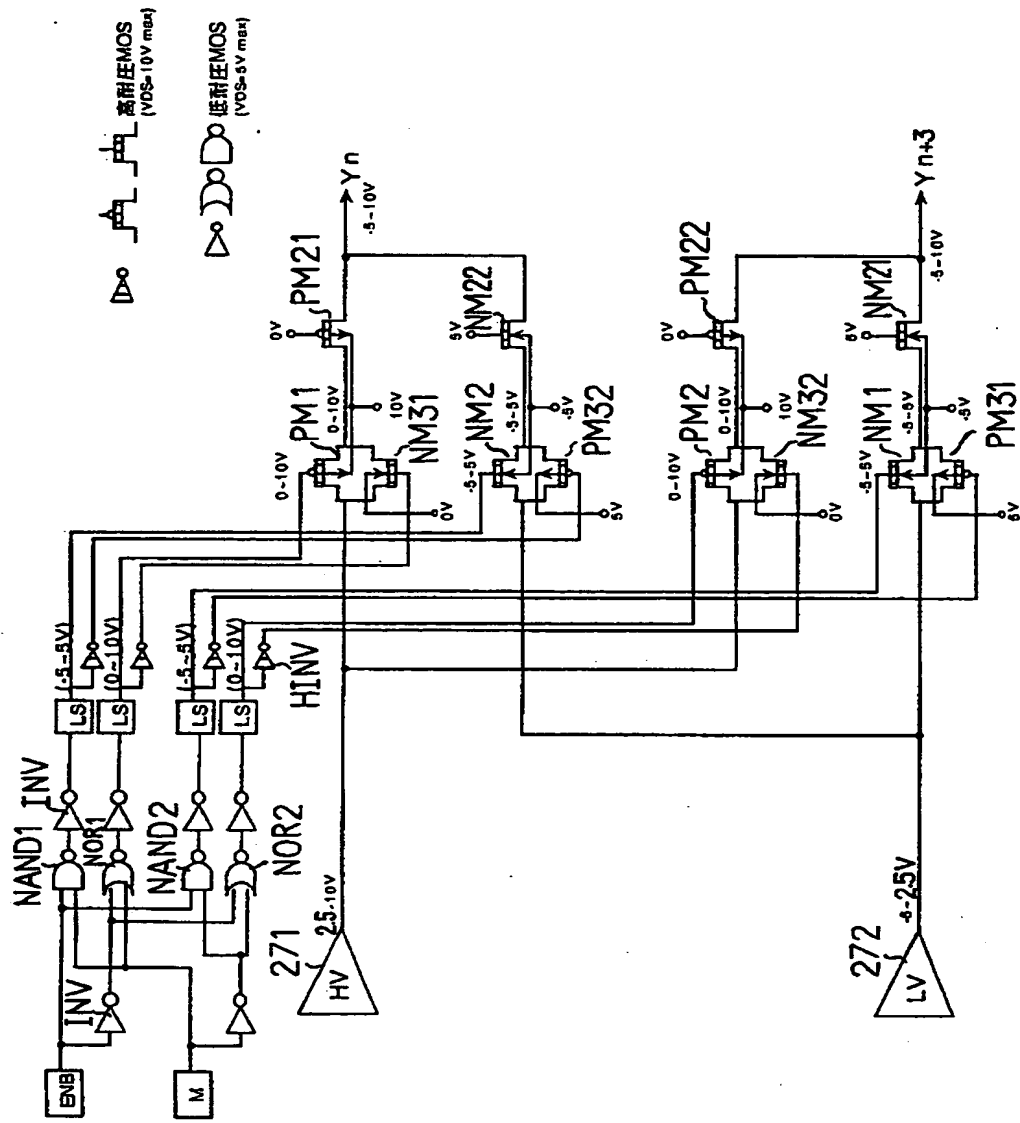
【図18】

図 18



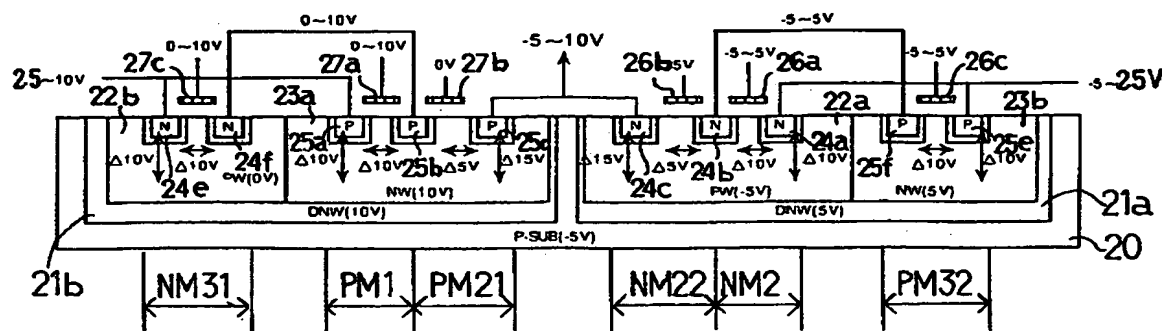
【图 19】

图 19

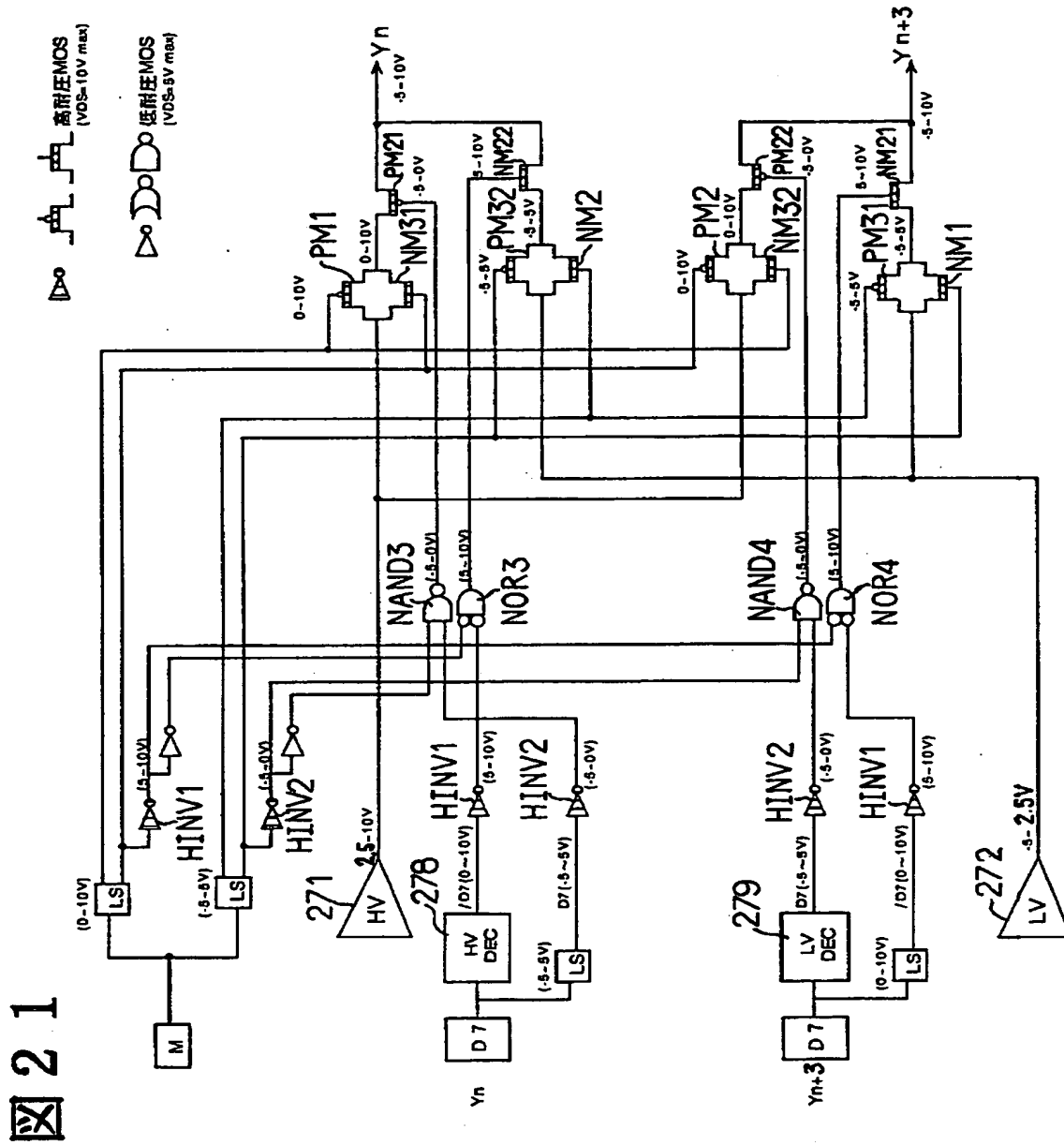


【図 20】

图 20

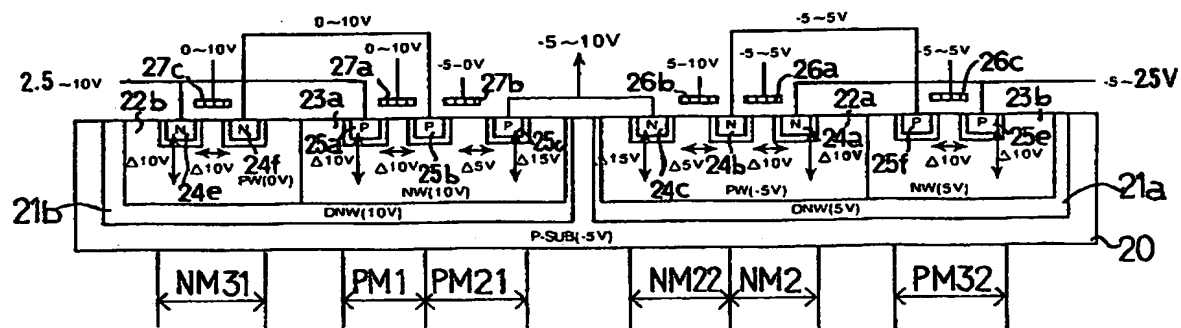


【图 2 1】

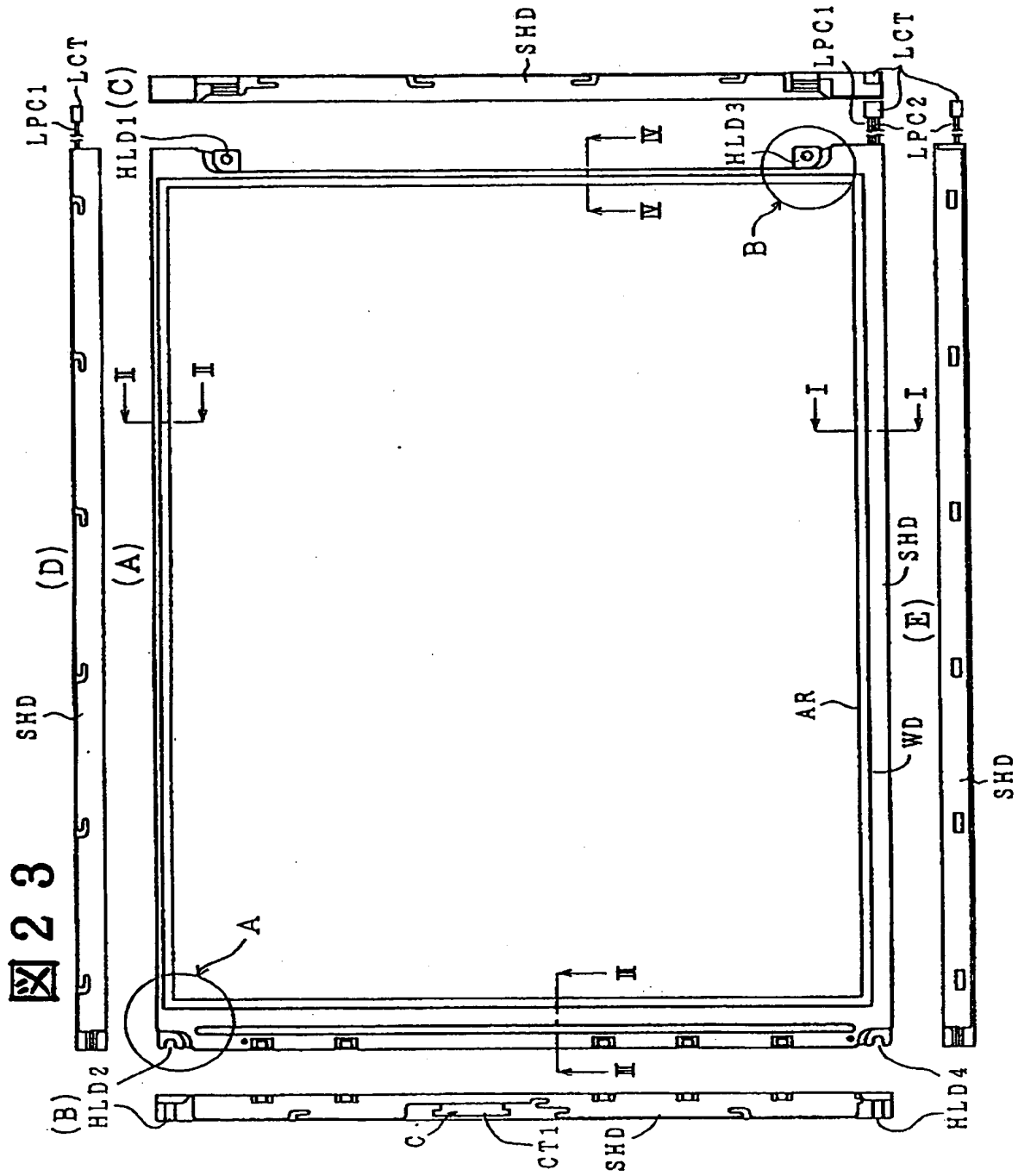


【図 2 2】

图 22

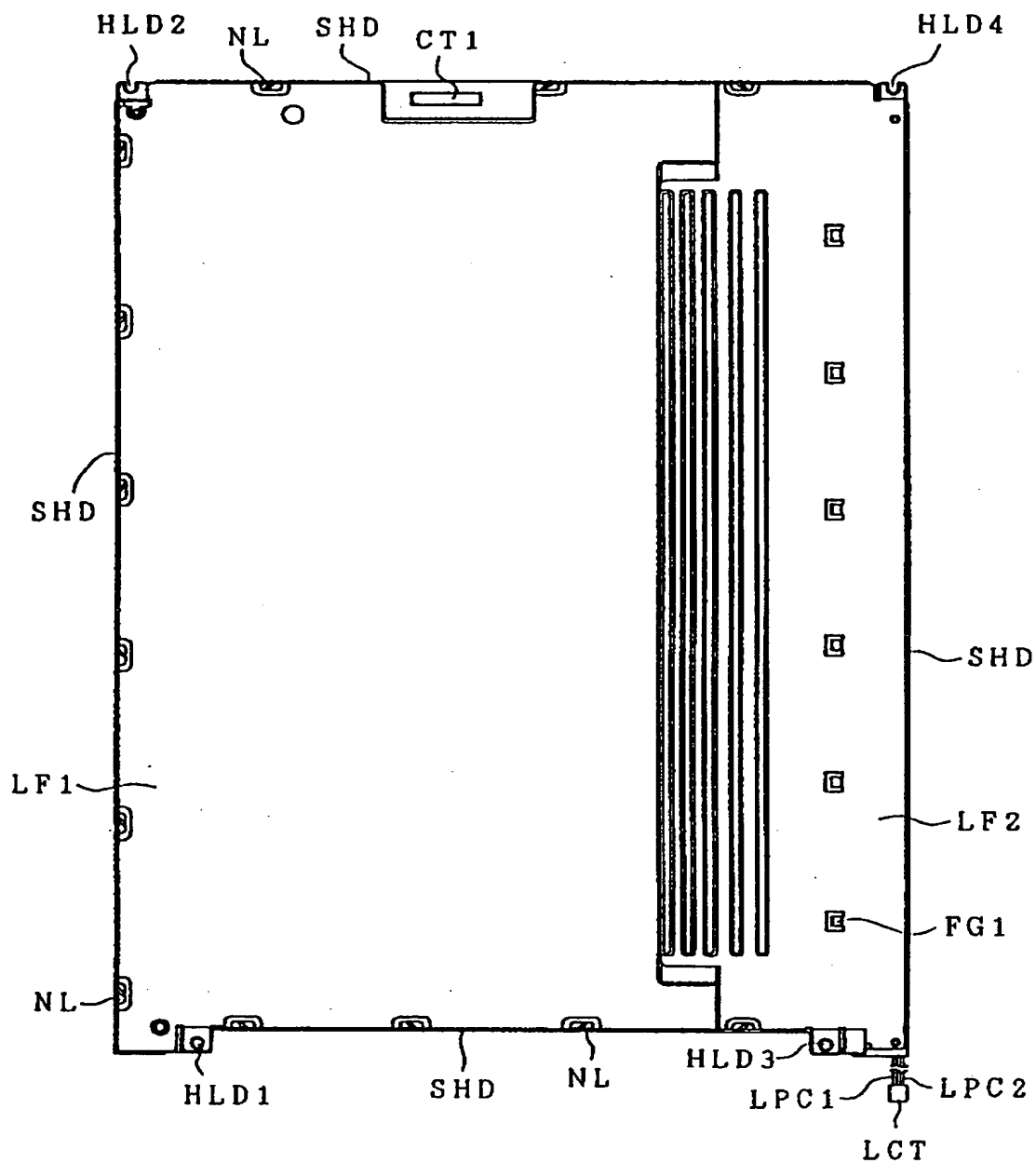


【図23】



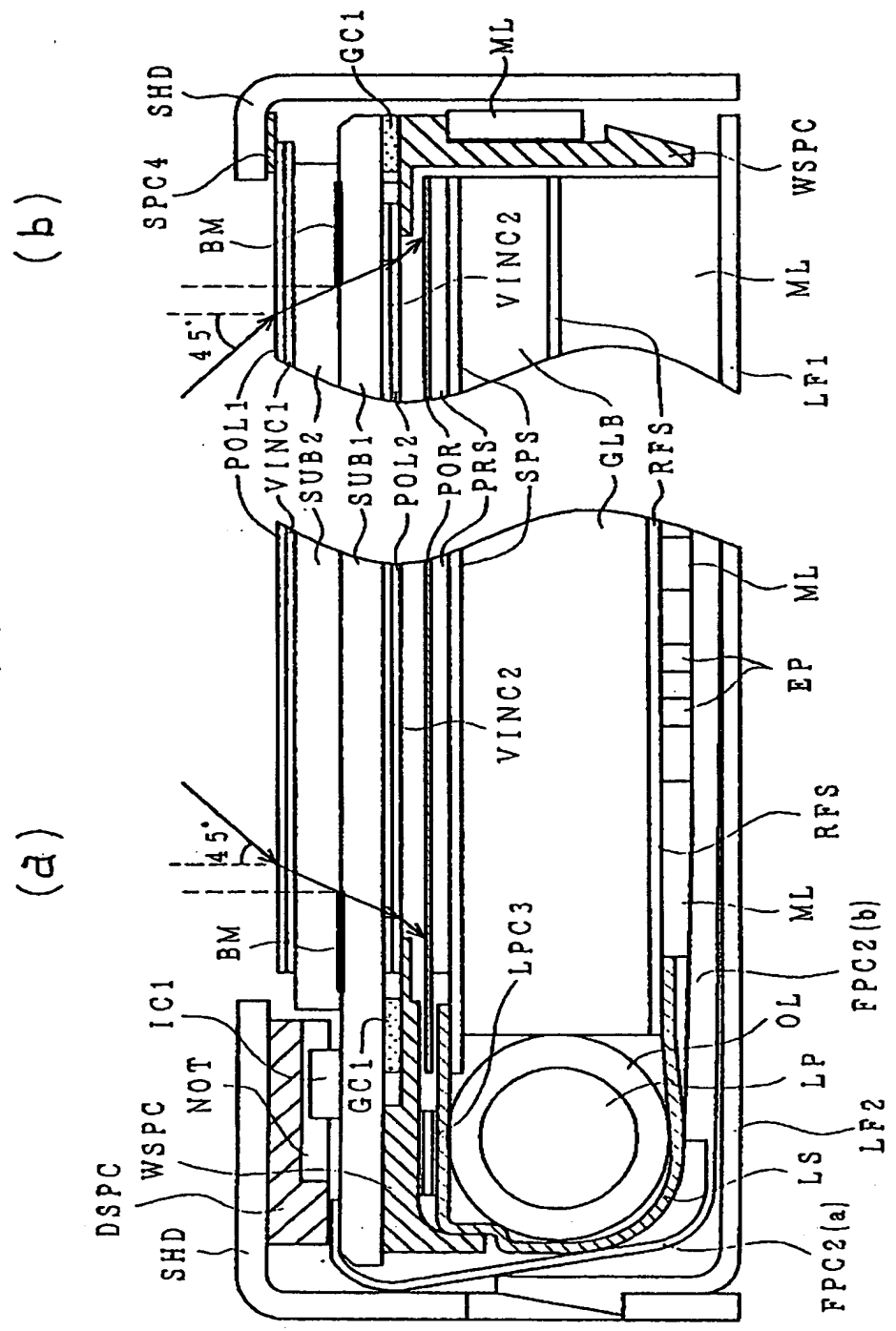
【図24】

図 2 4



【図25】

図25



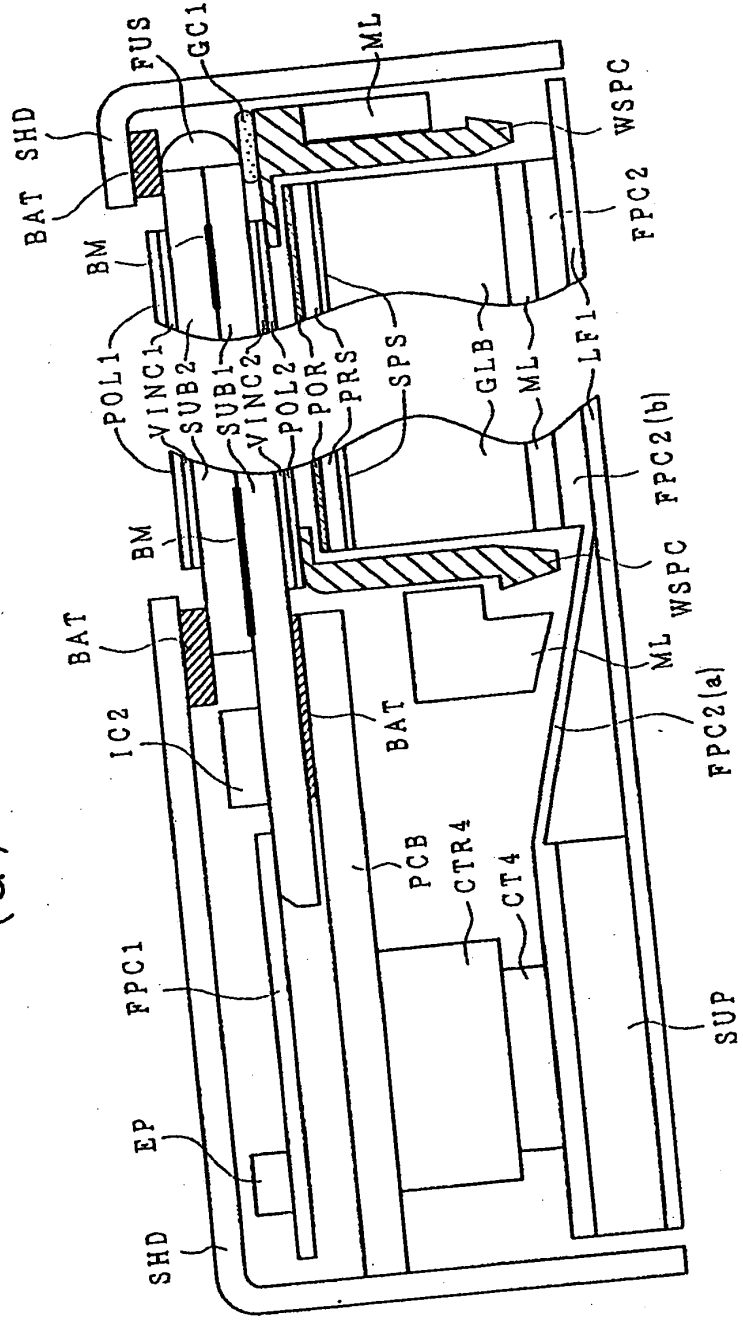


【図26】

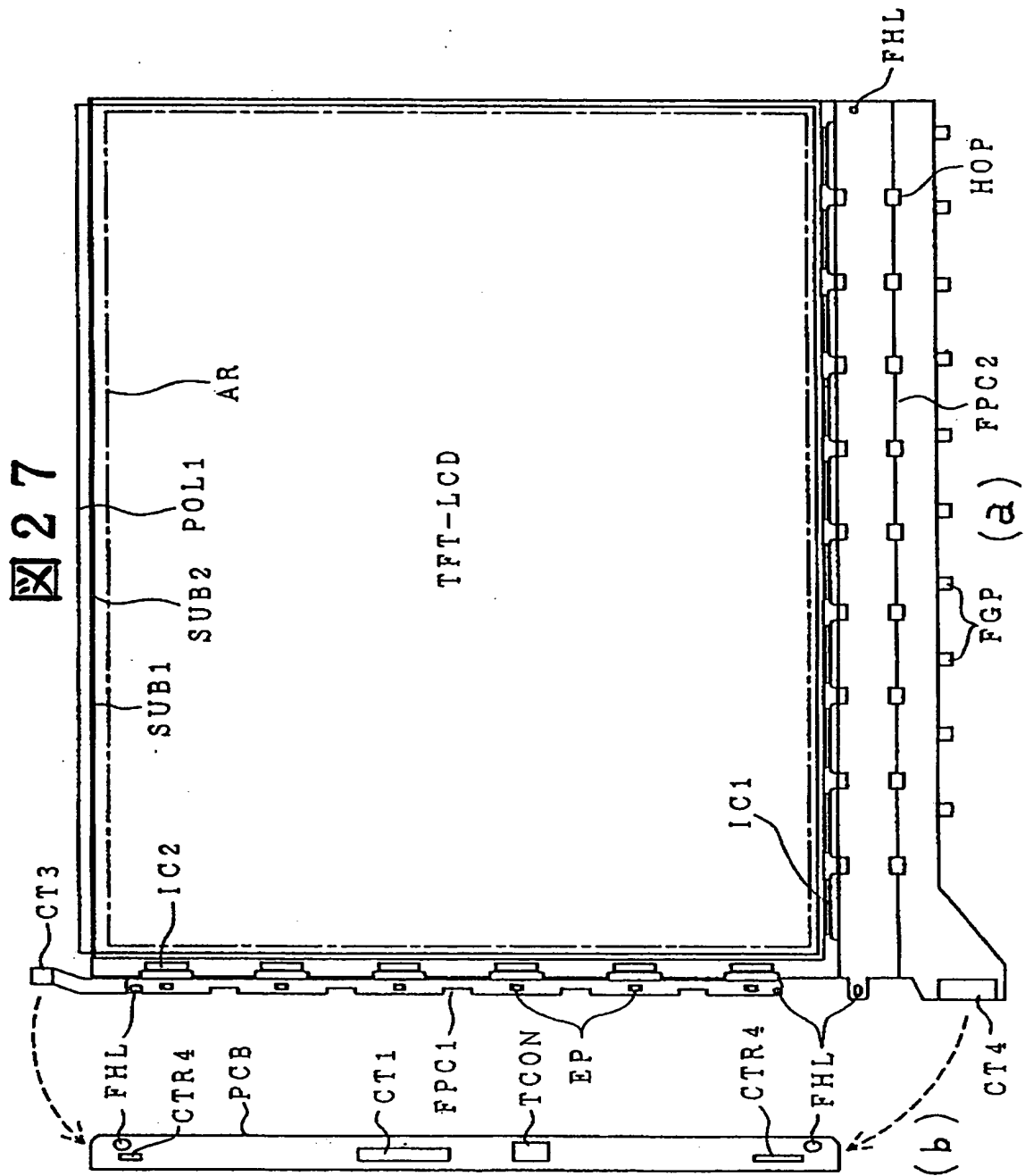
図26

(b)

(a)

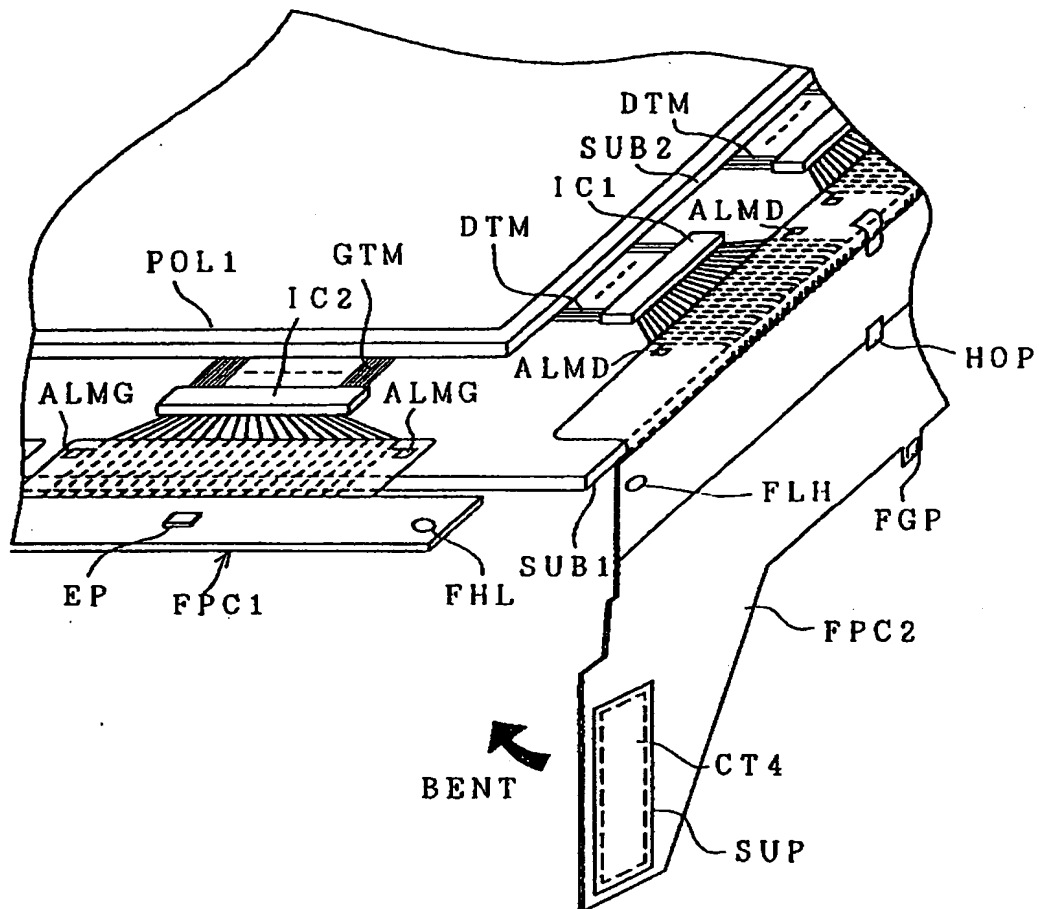


【図27】



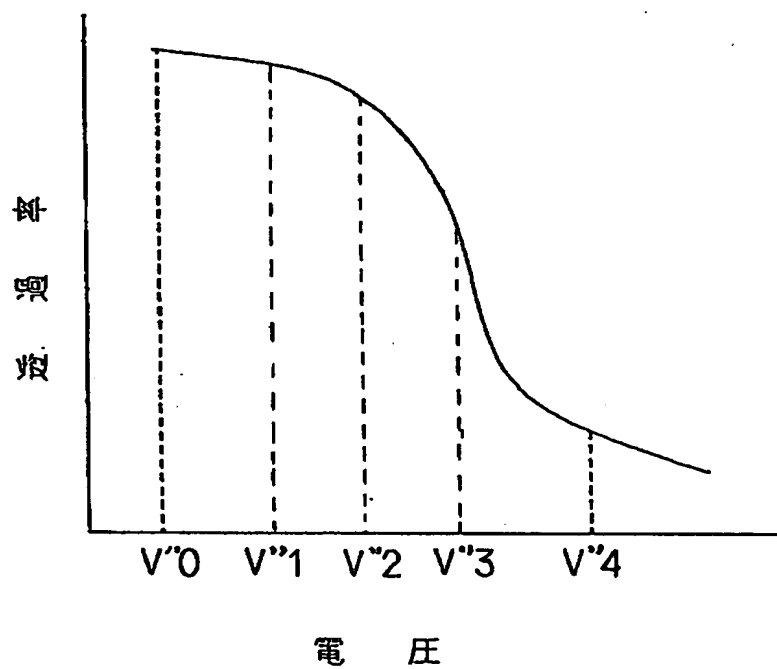
【図28】

図 28



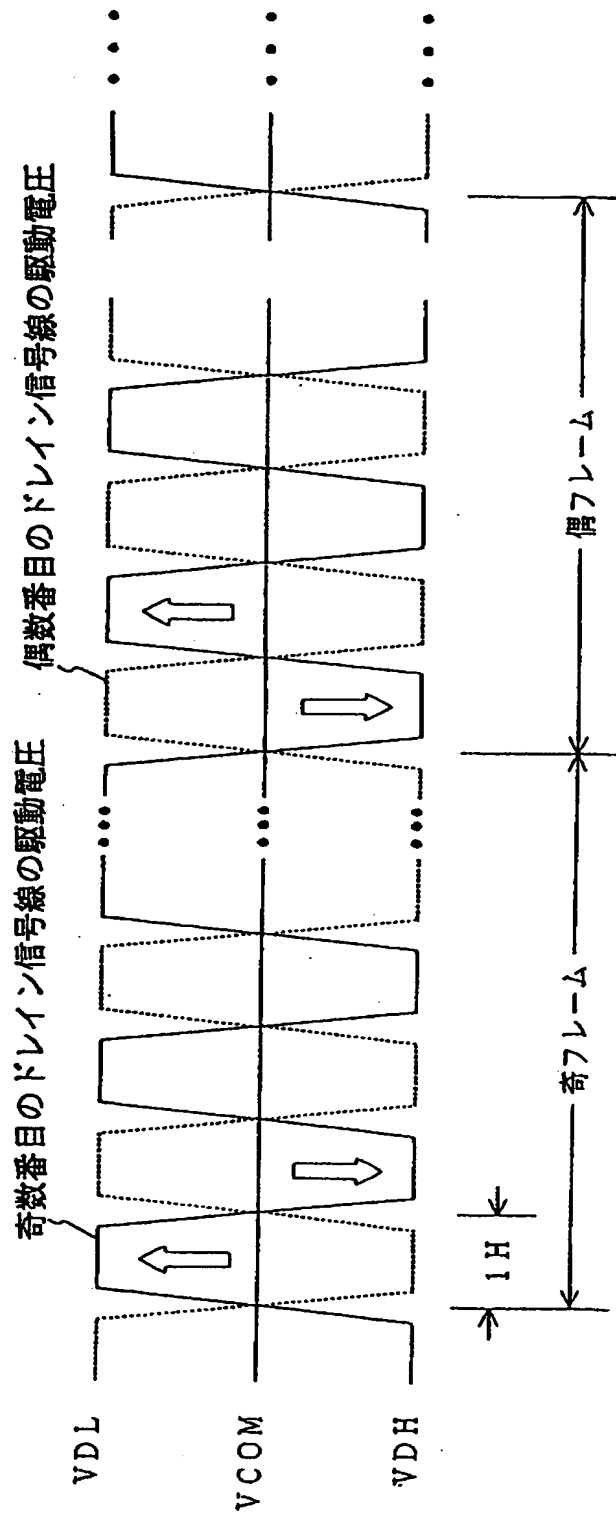
【図29】

図29



【図30】

図30



【書類名】 要約書

【要約】

【課題】 構成するトランジスタのソース・ドレイン間耐圧以上の電圧を出力可能なスイッチ回路を備えた半導体集積回路装置を提供する。

【解決手段】 第1の入力端子と共通出力端子との間に直列に接続される第1導電型の第1のおよび第2のトランジスタと、第2の入力端子と共通出力端子との間に接続される第2の導電型の第3のおよび第4のトランジスタとを有するスイッチ回路と、スイッチ回路を制御するスイッチ制御回路とを備え、スイッチ制御回路は、第2および第4のトランジスタのゲート電極に、第2および第4のトランジスタをオンとする第1および第2のバイアス電圧をそれぞれ印加し、第1および第3のトランジスタのゲート電極に、第1あるいは第3のトランジスタを選択的にオンあるいはオフする制御電圧を印加する。

【選択図】

図8

特平 9-298227

【書類名】  
【訂正書類】

職権訂正データ  
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

【住所又は居所】

【氏名又は名称】

【特許出願人】

【識別番号】

【住所又は居所】

【氏名又は名称】

【代理人】

【識別番号】

【住所又は居所】

【氏名又は名称】

000005108

東京都千代田区神田駿河台四丁目6番地  
株式会社日立製作所

000233088

千葉県茂原市早野3681番地  
日立デバイスエンジニアリング株式会社  
申請人

100083552

東京都荒川区西日暮里6丁目53番3号 藤井ビル  
201号

秋田 収喜

特平 9-298227

出願人履歴情報

識別番号

[000005108]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1990年 8月31日  
新規登録  
東京都千代田区神田駿河台4丁目6番地  
株式会社日立製作所



出 願 人 履 歴 情 報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 千葉県茂原市早野3681番地  
氏 名 日立デバイスエンジニアリング株式会社